



# Universidad Nacional de Costa Rica

Maestría en Tecnologías de la Información

Curso

Proyecto Final de Graduación

**Propuesta de un marco de trabajo basado en IA para predecir defectos  
en procesadores**

**Estudiante**

**José Gallardo Acuña**

Heredia, Costa Rica  
Enero, 2023

17 de abril del año 2023

Universidad Nacional

Facultad de Ciencias Exactas y Naturales

Escuela de Informática

Posgrado en Gestión de [a Tecnología de Información y Comunicación (ProGesTIC)

FORMULARIO DE DEPÓSITO LEGAL, AUTORIZACIÓN DE USO DE  
DERECHOS PATRIMONIALES DE AUTOR E INCORPORACIÓN A  
REPOSITORIOS  
INSTITUCIONALES DE INFORMACIÓN DE ACCESO PÚBLICO

La persona abajo firmante, en condición de estudiante de la maestría

Administración de Tecnologías de Información

Daniel Gallardo A

y autor del Trabajo final de graduación titulado: **Propuesta de un marco de trabajo basado en IA para predecir defectos en procesadores**

para optar al grado académico de Máster en: **Administración de Tecnologías de Información con Énfasis en Administración de Proyectos,**

de conformidad con lo establecido en el documento de "Lineamientos generales para la realización del trabajo final de graduación" y demás normativa universitaria relacionada con estos trabajos de graduación, DECLARO BAJO FE DE JURAMENTO conociendo la responsabilidad civil, penal o administrativa en que podría incurrir al no decir la verdad, lo siguiente:

1. El documento, producto, obra audiovisual, software, resultado del trabajo final de graduación referido anteriormente es original, inédito y ha cumplido con todo el proceso de aprobación académico que confiere el grado académico postulado con esta obra.

2. El trabajo final de graduación referido anteriormente constituye una producción intelectual propia de la persona abajo firmante y a esta fecha no ha sido divulgado a terceros(as) de forma pública, por ningún medio de difusión impreso o digital.

3. Autorizo el depósito de un ejemplar en formato impreso y otro en formato digital (entregado en soporte de disco compacto), en la colección de trabajos finales de graduación del ProGesTIC de la Universidad Nacional, así como la realización de copias electrónicas adicionales para fines exclusivos de seguridad y conservación de la información.

4. En caso de que el trabajo final de graduación haya sido elaborado como obra en colaboración -bien se trate de obras en las que los autores(as) tienen el mismo grado de participación o aquellas en las que existe una persona autora principal y una o varias personas autoras secundarias-, todos(as) ellos(as) han contribuido intelectualmente en la elaboración del documento y en este acto, libero de responsabilidad a las autoridades del posgrado y a los funcionarios que custodian la colección del ProGesTIC, en relación con el reconocimiento que se realiza respecto de los niveles de participación asignados por el propio autor del proyecto.

5. En caso de que el trabajo final de graduación haya sido elaborado como obras en colaboración (conforme a lo dispuesto en el punto 4), el autor abajo firmante designa a

Daniel Gallardo A

\_\_\_\_\_ como encargado(a) de recibir comunicaciones y representar con autoridad suficiente a los suscritos, en condición de agente autorizado(a) de los demás autores(as),

6. Reconozco que la colección de trabajos finales del ProGesTIC no emite criterios ni valoraciones académicas sobre lo planteado en el producto final del trabajo de graduación y autorizo a esta dependencia para que proceda a poner a disposición del público la obra en mención, a través de los espacios físicos o virtuales que se posea, así como a través del Repositorio Institucional; a partir del cual los usuarios de dichas plataformas puedan acceder al documento y hacer uso de este en el marco de los fines académicos, no lucrativos y de respeto a la integridad del contenido del mismo así como la mención del autor o poseedor de sus derechos.

7. Manifiesto que todos los datos de citas dentro de texto y sus respectivas referencias bibliográficas, así como las tablas y figuras (ilustraciones, fotografías, dibujos, mapas, esquemas u otros) tienen la fuente y el crédito debidamente identificados y se han respetado los derechos de autor.

8. Autorizo la licencia gratuita no exclusiva de los derechos patrimoniales de autor para reproducir, traducir, distribuir y poner a disposición pública en formato electrónico,

---

el documento depositado, para fines académicos, no lucrativos y por plazo indefinido en favor de la Universidad Nacional, que incluye además los siguientes actos:

a, La publicación y reproducción íntegra de la obra o parte de esta, tanto por medios impresos como electrónicos, incluyendo Internet y cualquier otra tecnología conocida o por conocer.

b. La traducción a cualquier idioma o dialecto de la obra o parte de esta.

c. La adaptación de la obra a formatos de lectura, sonido, voz y cualquier otra representación o mecanismo técnico disponible, que posibilite su acceso para personas no videntes parcial o totalmente, o con alguna otra forma de capacidades especiales que les impida su acceso a la lectura convencional del proyecto.

C. La distribución y puesta a disposición de la obra al público, de tal forma que el público pueda tener acceso a ella desde el momento y lugar que cada quien elija, a través de los mecanismos físicos o electrónicos de que disponga.

d. Cualquier otra forma de utilización, proceso o sistema conocido o por conocerse que se relacione con las actividades y fines académicos a los cuales se vincula la maestría, la colección de trabajos finales del ProGestIC, la Escuela de Informática y la Universidad Nacional.

9. Reconozco que la colección de trabajos del ProGestIC manifiesta actuar con diligencia para evitar la existencia en su sitio web de contenidos ilícitos y en caso de que tenga conocimiento efectivo de la existencia de infracciones a los derechos de propiedad intelectual, se reserva el derecho de proceder a bloquear el acceso durante el trámite del debido proceso para comprobar el incumplimiento y en caso de verificarse la falta, retirar definitivamente el acceso al proyecto depositado.

10. Acepto que la publicación y puesta a disposición del público del trabajo final de graduación, así como la presente autorización de uso de la obra, se regirá por la normativa institucional de la Universidad Nacional y la legislación de la República de Costa Rica. Adicionalmente, en caso de cualquier eventual diferencia de criterio o disputa futura, acepto que esta se dirimirá de acuerdo con [os mecanismos de Resolución Alternativa de Conflictos y la Jurisdicción Costarricense.

---

Autor(a) José Daniel Gallardo Acuña

Firma: Daniel Gallardo A

Fecha de entrega: 17 de abril del 2023

Correo: [jgachacu@gmail.com](mailto:jgachacu@gmail.com)

---

1.	CAPITULO I. El problema y su importancia .....	9
1.1.	Antecedentes .....	9
1.2.	Justificación.....	11
1.3.	Planteamiento del problema .....	12
1.4.	Objetivos.....	13
1.5.	Objetivo General.....	13
1.6.	Objetivos Específicos .....	13
1.7.	Metas por alcanzar por objetivo.....	14
2.	CAPITULO II. Marco Teórico.....	15
2.1.	Inteligencia Artificial .....	15
2.1.1.	Clasificación de la Inteligencia Artificial.....	16
2.1.2.	Áreas de aplicación .....	16
2.2.	Marco de Trabajo.....	17
2.2.1.	Ámbito de la Organización.....	18
2.2.2.	Organización Internacional de Normalización 9001.....	19
2.2.3.	Chequeo de flujo de respuesta .....	22
2.2.4.	Documento de especificación.....	23
2.2.5.	Análisis de Modo y Efectos de Fallas .....	24
2.3.	Estructura de un Procesador .....	26
2.3.1.	Arquitectura y organización de un computador.....	26
2.3.2.	Tipos de arquitectura.....	27
2.3.3.	Procesador .....	27
2.4.	Flujo de Manufactura.....	28
2.4.1.	Proceso de fabricación (Fabricación).....	28
2.4.2.	Proceso de Ensamble .....	30
2.4.3.	Pruebas del procesador .....	32
2.4.4.	DPM.....	33
2.4.5.	Áreas Críticas del flujo de manufactura.....	33
2.4.6.	Modos de falla .....	34

3.	CAPITULO III. Marco Metodológico .....	35
3.1.	Enfoque de la investigación .....	35
3.2.	Tipo de investigación .....	35
3.3.	Sujetos y fuentes de información .....	36
3.3.1.	Sujetos.....	36
3.3.2.	Fuentes de información .....	37
3.4.	Población y muestra .....	37
3.5.	Definición de variables.....	37
3.6.	Descripción de instrumentos utilizados (Técnicas).....	38
3.6.1.	Observación .....	38
3.6.2.	Entrevista .....	39
3.6.3.	Grupos de enfoque (Focus Group).....	41
4.	CAPITULO IV. Diagnóstico Actual .....	42
4.1.	Instrumento Observación .....	42
4.1.1.	Instrumentos metodológicos relacionados con el modelo de IA .....	43
4.1.2.	Instrumentos metodológicos relacionados con procedimientos de escalación actuales .....	45
4.1.3.	Instrumentos metodológicos relacionados con los riesgos.....	51
4.2.	Instrumento Entrevista .....	56
4.2.3.	Datos generales .....	56
4.2.4.	Descripción del área.....	56
4.2.5.	Escalación de señales del modelo de IA .....	59
4.2.6.	Retroalimentación de procedimientos de escalación actuales .....	60
4.3.	Instrumento Grupo Focal.....	62
5.	CAPITULO V. Solución Propuesta .....	65
5.1.	Desarrollo de la solución.....	65
5.1.3.	Pasos a realizar.....	65
5.1.4.	Instrumentos metodológicos.....	74
5.1.5.	Restricciones .....	74
5.2.	Procedimiento de implementación .....	75
5.3.	Pruebas y resultados.....	76
5.3.1.	Fase Validación .....	77
5.3.2.	Fase Análisis .....	83
5.3.3.	Disposición .....	86

5.3.4.	Retrospectiva .....	90
	Evento de UNCORE .....	90
	Evento UPI.....	90
6.	Capítulo VI, Análisis financiero del proyecto final de graduación .....	92
6.1.	Estimación de los costos del proyecto.....	92
6.2.	Estimación de los beneficios del proyecto.....	92
6.3.	Estimación del RSI del proyecto.....	93
6.4.	Conclusiones del análisis financiero .....	93
7.	CAPITULO VII. Conclusiones y recomendaciones .....	94
7.1.	Conclusiones .....	94
7.2.	Recomendaciones.....	95
8.	Análisis retrospectivo.....	95
8.1.	Determinar mediante investigación el riesgo de las áreas involucradas en el desarrollo del procesador .....	95
8.2.	Identificar mediante investigación los modos de fallas detectados por el actual modelo de IA ..	96
8.3.	Realizar mediante investigación un diagnóstico sobre las acciones que se están realizando actualmente con la información generada por el modelo de IA .....	96
8.4.	Elaborar un marco de trabajo específico para el proceso .....	97
9.	Bibliografía .....	99
10.	Anexos.....	100
10.1.	Guía de entrevista.....	100
10.2.	Guía de focus group con Analistas de IA.....	101

# 1. CAPITULO I. El problema y su importancia

## 1.1. Antecedentes

Durante la última década, el uso de circuitos integrados encontró una difusión sin precedentes en la mayoría de los dominios de la actividad humana. Los procesadores están integrados en más y más productos, lo que aumentó la demanda y complejidad de su fabricación exponencialmente. Esto también conlleva un incremento de la complejidad en la validación, pues se deben generar más casos de pruebas para cumplir con las expectativas de desempeño que busca del cliente.

En general la construcción de un procesador consta de una etapa de diseño, fabricación, ensamble y validación de producto. El trabajo depositado en cada una de las etapas involucra a muchos ingenieros que realizan múltiples tareas tales como: recopilación de especificaciones técnicas, desempeño en manufactura y casos de uso del producto final.

En el mercado de procesadores se tiene una métrica denominada Defectos por Millón (DPM). Por lo tanto, compañías fabricantes de servidores o computadores personales se comprometen a un DPM ~500-700 con el cliente. Un producto no se puede vender hasta que esté dentro de los márgenes permitidos de DPM.

Dada la complejidad de los procesadores, cada unidad que se vende en el mercado se valida con un conjunto de pruebas para garantizar un funcionamiento mínimo y además poder determinar cuál es su valor de DPM.

El proceso de validación consume la mayor parte de tiempo y recursos (número de ingenieros, técnicos, operarios, testers, sistemas de estrés) en la compañía. Es por ello por lo que los ingenieros hacen un gran esfuerzo para reducir el tiempo por medio de la automatización de los procesos y predicción de fallas tempranas en el proceso.

Pueden existir fallas de

Diseño: Funcionamiento incorrecto de la lógica, etc

Fabricación: Errores en la configuración de temperatura, químicos, etc

Silicio: Marginalidades en puntos de operación, velocidad, potencia, etc

Desde hace 2 años, un grupo de analistas de datos desarrolla un modelo basado en IA llamado DMPBucketer el cual clasifica los modos de fallas según sus errores arquitectónicos. Esto permite comprender el origen de la falla y se puedan asignar trabajos y recursos de priorización para su depuración a fin de reducir el DPM.

El modelo utiliza datos de procesadores defectuosos ya conocidos como datos de entrenamiento y los datos obtenidos de las diferentes pruebas de validación para clasificar el procesador según su defecto.

Si este proceso se realizara manualmente, se tardaría de 1 a 4 horas en clasificar un solo procesador. Sin embargo, el modelo de IA tarda solo segundos lo cual ha permitido automatizar el proceso para mejorar la eficiencia y eliminar el proceso manual. Dado que este proceso se debe realizar diariamente, el impacto ha sido muy positivo pues permite enfocar los recursos en análisis y mejoras en otros procesos.

Por otro lado, la compañía actualmente se encuentra certificada como ISO 9001, por lo que es indispensable tener definidos los procesos a seguir ante determinadas circunstancias, así como los roles y responsabilidades de los principales involucrados.

## 1.2. Justificación

Dado que los procesadores tienen una alta complejidad, aumenta la probabilidad de errores en los diseños iniciales o proceso de fabricación o manufactura.

A pesar de las numerosas pruebas a la que es sometido un procesador, es imposible validarlo al 100%. Por lo tanto, puede haber defectos de diseño que se capturen solamente durante la etapa de validación de producto dentro de la compañía o inclusive ya estando en manos del cliente.

En la siguiente imagen se muestra un ejemplo de DPM actual para ciertos servidores que se encuentran en el mercado. La compañía mide un DPM < 500 durante el proceso de validación, sin embargo, los clientes perciben un DPM inclusive de 4000.

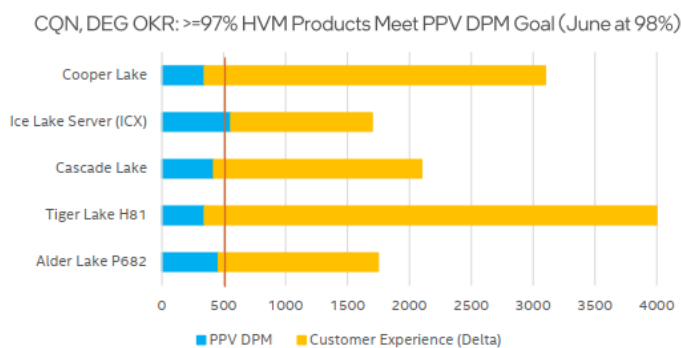


Figura 1.2.1 DPM servidores 2022 (Intel, 2022)

Esto indica que las pruebas actuales no son lo suficientemente robustas para detectar los defectos vistos por el cliente.

Esto conlleva a que la compañía reemplace procesadores defectuosos y su imagen se afecte negativamente. Asimismo, se debe realizar un análisis de causa raíz que permita determinar si es un defecto de diseño, fabricación o del silicio que deba ser cubierto por alguna prueba adicional. Para productos maduros que ya se encuentran certificados para ser vendidos, un cambio de diseño o mejora del proceso de fabricación implica realizar una serie de validaciones que resultan muy costosas.

El modelo de IA llamado DMPBucketer ha permitido clasificar los modos de fallas según sus errores arquitectónicos permitiendo comprender el origen de la falla de una manera más rápida. Sin embargo, el proceso de escalación hacia los procesos de donde se detectó el defecto no se encuentra estandarizados, causando desorden en la comunicación de estas señales e incumplimiento de la norma ISO.

Por lo tanto, este proyecto de graduación planteará un marco de trabajo que pretende estandarizar y agilizar la escalación de señales a los procesos que potencialmente estén causando algún defecto basado en el modelo “DMPBucketer” existente en la compañía.

### 1.3. Planteamiento del problema

Durante las pruebas eléctricas de los procesadores en el proceso de manufactura se detectan numerosas unidades defectuosas que deben ser desechadas. Los defectos pueden ser causados por inestabilidades durante el proceso de fabricación, ensamble o inclusive generados durante la etapa de validación. Esto implica desperdicio de materia prima, capacidad de producción y horas de ingeniería. Adicionalmente, retornos de procesadores por algún cliente también conlleva costos adicionales para realizar la detección del defecto y dar una retroalimentación al cliente antes de realizar el reemplazo. A pesar de que existe un modelo de IA para detectar fallas con señales de comunalidad hacia diferentes procesos, no existe un marco de trabajo estandarizado que describa los pasos a seguir ante una alerta generada por el modelo, que permitan realizar acciones preventivas y correctivas oportunas para evitar desperdicios en el proceso. Adicionalmente, esta falta de estandarización conlleva a un potencial incumplimiento de la normativa ISO 9001 afectando la credibilidad con el cliente, pues la compañía se pone en una posición de alto riesgo de no cumplir con las métricas de calidad y compromisos adquiridos.

## 1.4. Objetivos

### 1.5. Objetivo General

Proponer un marco de trabajo basado en la predicción de un modelo de IA que permita agilizar la implementación de acciones preventivas y correctivas en el proceso para reducir el número de procesadores defectuosos detectados en la etapa de validación.

### 1.6. Objetivos Específicos

1. Determinar mediante investigación el riesgo de las áreas involucradas en el desarrollo del procesador, para entender su impacto en el proceso.
2. Identificar mediante investigación los modos de fallas detectados por el actual modelo de IA que permita conocer la efectividad del modelo actual.
3. Realizar mediante investigación un diagnóstico sobre las acciones que se están realizando actualmente con la información generada por el modelo de IA que permita identificar fortalezas y oportunidades de mejora para el marco de trabajo que se propone.
4. Elaborar un marco de trabajo específico para el proceso que este causado el defecto que permita dar retroalimentación ágil y eficaz a los interesados.
5. Evaluar la eficiencia del marco de trabajo mediante la ejecución de un plan piloto que permita valorar su factibilidad.

## 1.7. Metas por alcanzar por objetivo

Tabla 1 Objetivos y Metas

Objetivos	Metas
Determinar mediante investigación el riesgo de las áreas involucradas en el desarrollo del procesador, para entender su impacto en el proceso.	Evaluar el riesgo de cada área para proveer el procedimiento de escalación óptimo.
Identificar mediante investigación los modos de fallas detectados por el actual modelo de IA que permita conocer la efectividad del modelo actual.	Determinar los tipos de falla detectados en la etapa de validación para identificar las áreas más vulnerables.
Realizar mediante investigación un diagnóstico sobre las acciones que se están realizando actualmente con la información generada por el modelo de IA que permita identificar fortalezas y oportunidades de mejora para el marco de trabajo que se propone.	Fortalecer los criterios que se utilizaran mediante la examinación de los procedimientos actuales
Elaborar un marco de trabajo específico para el proceso que este causado el defecto que permita dar retroalimentación ágil y eficaz a los interesados.	Proporcionar a la compañía un marco de trabajo estándar que contenga procedimientos de escalación a las áreas más vulnerables
Evaluar la eficiencia del marco de trabajo mediante la ejecución de un plan piloto que permita evaluar su factibilidad.	Proporcionar a la compañía un marco de trabajo validado en una experiencia de desarrollo interno.

## 2. CAPITULO II. Marco Teórico

Un marco de trabajo pretende estandarizar un conjunto de prácticas destinados a abordar un problema en particular y que sirve como referencia para resolver problemas y situaciones de índole similar. A continuación, se describen algunos conceptos clave que van a permitir entender la construcción de la propuesta de este trabajo.

Inicialmente, se abordan algunos conceptos sobre de la Inteligencia Artificial y sus aplicaciones. Seguidamente se discute acerca de los marcos de trabajo y su importancia con la normal ISO 9001, cuyo cumplimiento es fundamental para mantener una alta credibilidad con los clientes externos. Finalmente, se describen generalidades acerca de los procesadores y el flujo de manufactura que deben seguir antes de ser vendidos, esto con el objetivo de entender las diferentes partes del proceso y su potencial impacto en la métrica del DPM.

### 2.1. Inteligencia Artificial

La Inteligencia Artificial (IA) es una de las ramas de las ciencias de la computación que más interés ha despertado en la actualidad, debido a su enorme campo de aplicación. La búsqueda de mecanismos que nos ayuden a comprender la inteligencia y realizar modelos y simulaciones de estos, es algo que ha motivado a muchos científicos a elegir esta área de investigación.

Existen distintas definiciones de IA de acuerdo a distintos enfoques; algunas de estas definiciones se muestran a continuación:

“La interesante tarea de lograr que las computadoras piensen ... máquinas con mente, en su amplio sentido literal.” (Haugeland, 1985).

“La automatización de actividades que vinculamos con procesos de pensamiento humano, actividades tales como la toma de decisiones, resolución de problemas, aprendizaje ...” (Bellman, 1978).

“El estudio de las facultades mentales mediante el uso de modelos computacionales.” (Charniak y McDermott, 1985).

“El estudio de los cálculos que permiten, razonar y actuar.” (Winston, 1992).

“El arte de crear máquinas con capacidad de realizar funciones que realizadas por personas requieren de inteligencia.” (Kurzweil, 1990).

“El estudio de cómo lograr que las computadoras realicen tareas que, por el momento, los humanos hacen mejor.” (Rich y Knight, 1991). “

Un campo de estudio que se enfoca a la explicación y emulación de la conducta inteligente en función de procesos computacionales.” (Schalkoff, 1990).

“La rama de la ciencia de la computación que se ocupa de la automatización de la conducta inteligente.” (Luger y Stubblefield, 1993).

Las definiciones mostradas están asociadas a cuatro características fundamentales: las 3 primeras se refieren a los procesos de la mente y el razonamiento, mientras que las otras 5 hacen alusión a la conducta. En estas definiciones se hace especial enfoque hacia las facultades mentales y su relación con las actividades realizadas por los seres humanos por medio de sistemas de cómputo.

### 2.1.1. Clasificación de la Inteligencia Artificial

La escuela clásica dentro de la IA, utiliza representaciones simbólicas basadas en un número finito de primitivas y de reglas para la manipulación de símbolos (por ejemplo, redes semánticas, lógica de predicados, etc.), los cuales fueron y siguen siendo parte central de dichos sistemas. Otro tipo de representación es el llamado sub-simbólico, el cual utiliza representaciones numéricas del conocimiento. Aunque la mayor parte de los libros de IA (Hebb, 1949 , Minsky and Papert 1969) sólo enfatizan el trabajo realizado por Rosenblatt y Widrow en la década de los 50's con redes neuronales en este tipo de representación.

El enfoque sub-simbólico de la IA se caracteriza por crear sistemas con capacidad de aprendizaje. Éste se puede obtener a nivel de individuo imitando el cerebro (Redes Neuronales), a nivel de especie, imitando la evolución. Hasta hace poco era común hablar de Algoritmos Genéticos (AG) en general, en vez de identificar diferentes tipos de AE, ya que el resto de los algoritmos se pueden interpretar como variaciones o mejoras de los AG.

En la actualidad, la IA empieza a extender sus áreas de investigación en diversas direcciones y trata de integrar diferentes métodos en sistemas a gran escala, en su afán por explotar al máximo las ventajas en cada una de las áreas del conocimiento, ya que se realizan numerosas aplicaciones en medicina, biología, ingeniería, educación, etc..

### 2.1.2. Áreas de aplicación

Actualmente, la IA es una rama de la teoría de la computación que incluye áreas tales como el razonamiento automático, la demostración de teoremas, los sistemas expertos, el procesamiento de lenguaje natural, robótica, lenguajes y ambientes de IA, aprendizaje, redes neuronales, algoritmos genéticos, por mencionar solo algunas.

En general, las áreas de aplicación de la IA tienen características similares, entre las que se pueden mencionar las siguientes (Luger y Stubblefield, 1989):

1. Aplicación de razonamiento simbólico mediante modelos computacionales.
2. Aplicación de técnicas de búsqueda a problemas de IA en lugar de soluciones algorítmicas.
3. Manipulación de información inexacta, incompleta o definida de una forma insuficiente.

4. Análisis de características cualitativas del problema para plantear su solución.
5. Utilización del significado semántico como la forma sintáctica de la información.
6. Manipulación de grandes cantidades de conocimiento específico para la solución de problemas.
7. Aplicación de conocimiento de meta-nivel para tener un control más sofisticado de estrategias de solución de problemas.

## 2.2. Marco de Trabajo

Marco de trabajo, derivado del término en inglés framework, se lo concibe como un conjunto estandarizado de conceptos, prácticas y criterios destinados a abordar un problema en particular y que sirve como referencia para resolver problemas y situaciones de índole similar. Es el término usado para referirse al gran conjunto de nombres, disponibles en la literatura y han sido creados para afrontar problemas organizacionales de diferentes áreas, ya sean tecnológicas, funcionales, reglamentarias, entre otras.

Los marcos de trabajo difieren en términos de su enfoque y nivel de detalle, algunos proponen directrices y guías a seguir, mientras que otros son ya metodologías. (Urbaczewski y Mrdalj, 2006).

En la Figura 2.1 se describe de una manera gráfica la frontera y el área en donde ejercen su campo de acción los marcos de trabajo, así como los más difundidos y de mayor aplicabilidad.

La propuesta de marco de trabajo de esta investigación va dirigida a alinearse con el estándar ISO 9001, el cual se encuentra dentro del Ámbito de Organización y que requiere una definición clara de los procesos a seguir ante determinados eventos, así como los roles y responsabilidades de los principales involucrados.

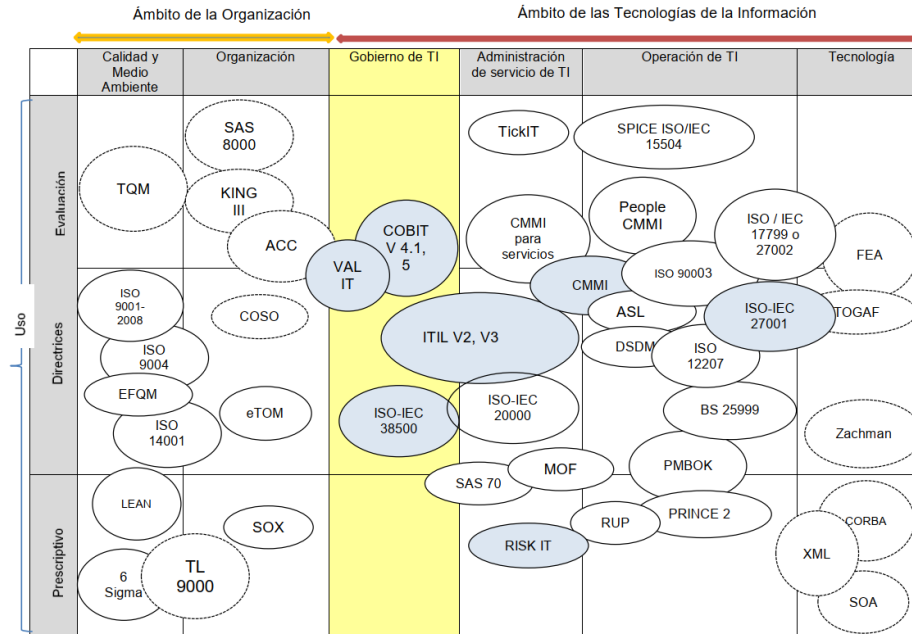


Figura 2.1 Marcos de trabajo de la industria (Cordero, 2016)

### 2.2.1. Ámbito de la Organización

En este ámbito se citan las mejores prácticas relacionadas con calidad, medio ambiente y el contexto de la organización. A continuación, se describen algunos ejemplos de los estándares que lo componen (Cordero, 2016):

**ISO 9001-2008:** Creada por la Organización Internacional de Estandarización (ISO), determina los requerimientos de certificación, de un Sistema de Gestión de la Calidad, que es de utilidad interna en las organizaciones, independientemente del producto o servicio generado y del origen y tamaño de estas. Ha sido desarrollada tomando en cuenta siete principios de gestión de calidad: enfoque en el cliente, liderazgo, participación del personal, basado en procesos, enfoque de los sistemas para la gestión, mejora continua, hechos para la toma de decisión (Cordero, 2016).

**TQM:** La Calidad Total (por sus siglas en inglés de Total Quality Management), es una estrategia de gestión, que busca crear conciencia de calidad en todos los procesos de una organización, ha sido ampliamente aplicada en diferentes tipos de sectores. Contempla la totalidad de la organización y es una vía de mejora a la forma tradicional de hacer los negocios, que permite garantizar la supervivencia en un mundo competitivo.

**ISO 9004:** Es un estándar usado para mejorar el rendimiento de una organización que se desarrolla en un entorno exigente y en constante cambio, haciendo uso para ello de un enfoque de gestión de la calidad. La norma, está centrada en la supervivencia económica a largo plazo de una empresa. Como elementos claves de la norma se ubican las evaluaciones internas de estrategia, recursos, liderazgo y procesos (Cordero, 2016).

**Sigma:** Es un esquema metodológico orientado a la mejora de procesos, está centrado en la reducción de la variabilidad, para minimizar o eliminar los defectos en un producto o servicio que es entregado al cliente.

**LEAN:** También conocido como Lean Manufacturing, es un marco de referencia aplicado en las organizaciones para la disminución del desperdicio en base al uso de varias técnicas desarrolladas principalmente en el Japón.

**SOX:** Llamada también SOx, SarbOx o SOA, es la Ley Sarbanes Oxley, aprobada por el Congreso de los Estados Unidos, a través de la misma se hace responsable a los altos niveles directivos de la organización, sobre controles internos, y transparencia de información financiera.

**SAS 8000:** Es el estándar internacional de certificación, que alienta a las organizaciones, a desarrollar y mantener, prácticas socialmente aceptables en el lugar de trabajo.

**KING III:** Es uno de los estándares de gobierno corporativo de mayor importancia en el mundo. En la práctica King III, comprende el Reporte sobre Gobernanza para Sudáfrica 2009. Adopta un enfoque "aplicar o explicar", en donde la toma de decisiones de la Junta de Administración, se lo hace de modo que se velen por los intereses globales de la organización, más no por aspectos particulares.

### 2.2.2. Organización Internacional de Normalización 9001

Organización Internacional de Normalización (ISO) es una federación mundial de organismos nacionales de normalización (ISO 9001, 2015).

La adopción de un sistema de gestión de la calidad es una decisión estratégica para una organización que le puede ayudar a mejorar su desempeño global y proporcionar una base sólida para las iniciativas de desarrollo sostenible.

Los beneficios potenciales para una organización de implementar un sistema de gestión de la calidad basado en esta norma internacional son:

- La capacidad para proporcionar regularmente productos y servicios que satisfagan los requisitos del cliente y los legales y reglamentarios aplicables
- Facilitar oportunidades de aumentar la satisfacción del cliente
- Abordar los riesgos y oportunidades asociados con su contexto y objetivos
- La capacidad de demostrar la conformidad con requisitos del sistema de gestión de la calidad especificados

Los requisitos del sistema de gestión de la calidad especificados en esta norma internacional son complementarios a los requisitos para los productos y servicios.

Esta Norma Internacional emplea el enfoque a procesos, que incorpora el ciclo Planificar-Hacer-Verificar-Actuar (PHVA) y el pensamiento basado en riesgos.

El enfoque a procesos permite a una organización planificar sus procesos y sus interacciones.

El ciclo PHVA permite a una organización asegurarse de que sus procesos cuenten con recursos y se gestionen adecuadamente, y que las oportunidades de mejora se determinen y se actúe en consecuencia.

El pensamiento basado en riesgos permite a una organización determinar los factores que podrían causar que sus procesos y su sistema de gestión de la calidad se desvíen de los resultados planificados, para poner en marcha controles preventivos para minimizar los efectos negativos y maximizar el uso de las oportunidades a medida que surjan.

El cumplimiento permanente de los requisitos y la consideración constante de las necesidades y expectativas representa un desafío para las organizaciones en un entorno cada vez más dinámico y complejo. Para lograr estos objetivos, la organización podría considerar necesario adoptar diversas formas de mejora además de la corrección y la mejora continua, tales como el cambio abrupto, la innovación y la reorganización.

En esta Norma Internacional, se utilizan las siguientes formas verbales:

- “debe” indica un requisito
- “debería” indica una recomendación
- “puede” indica un permiso, una posibilidad o una capacidad

#### *2.2.2.1. Principios de la gestión de la calidad*

Esta Norma Internacional se basa en los principios de la gestión de la calidad descritos en la Norma ISO 9000. Las descripciones incluyen una declaración de cada principio, una base racional de por qué el principio es importante para la organización, algunos ejemplos de los beneficios asociados con el principio y ejemplos de acciones típicas para mejorar el desempeño de la organización cuando se aplique el principio.

#### *2.2.2.2. Enfoque a procesos*

Esta Norma Internacional promueve la adopción de un enfoque a procesos al desarrollar, implementar y mejorar la eficacia de un sistema de gestión de la calidad, para aumentar la satisfacción del cliente a través del cumplimiento de sus requisitos.

La comprensión y gestión de los procesos interrelacionados como un sistema contribuye a la eficacia y eficiencia de la organización en el logro de sus resultados previstos. Este enfoque permite a la organización controlar las interrelaciones e interdependencias entre los procesos del sistema, de modo que se pueda mejorar el desempeño global de la organización.

La aplicación del enfoque a procesos en un sistema de gestión de la calidad permite:

- La comprensión y la coherencia en el cumplimiento de los requisitos
- La consideración de los procesos en términos de valor agregado
- El logro del desempeño eficaz del proceso
- La mejora de los procesos con base en la evaluación de los datos y la información

La Figura 2.2 proporciona una representación esquemática de cualquier proceso y muestra la interacción de sus elementos. Los puntos de control del seguimiento y la medición, que son necesarios para el control, son específicos para cada proceso y variarán dependiendo de los riesgos relacionados.



Figura 2.2 Representación esquemática de los elementos de un proceso (ISO 9001, 2015)

### 2.2.2.3. Ciclo Planificar-Hacer-Verificar-Actuar

El ciclo PHVA puede aplicarse a todos los procesos y al sistema de gestión de la calidad como un todo. Puede describirse brevemente como sigue:

- **Planificar:** establecer los objetivos del sistema y sus procesos, y los recursos necesarios para generar y proporcionar resultados de acuerdo con los requisitos del cliente y las políticas de la organización, e identificar y abordar los riesgos y las oportunidades
- **Hacer:** implementar lo planificado
- **Verificar:** realizar el seguimiento y (cuando sea aplicable) la medición de los procesos y los productos y servicios resultantes respecto a las políticas, los objetivos, los requisitos y las actividades planificadas, e informar sobre los resultados
- **Actuar:** tomar acciones para mejorar el desempeño, cuando sea necesario

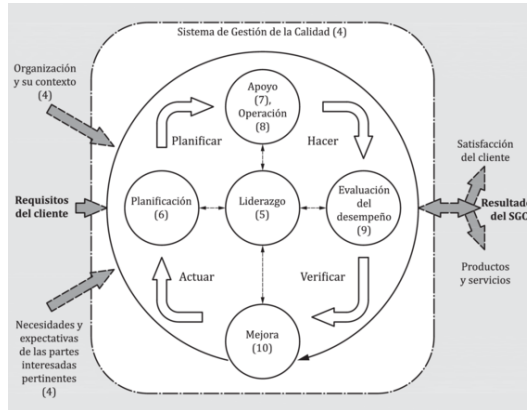


Figura 2.3 Representación de la estructura de esta Norma Internacional con el ciclo PHVA (ISO 9001, 2015)

#### 2.2.2.4. Pensamiento basado en riesgos

El pensamiento basado en riesgos es esencial para lograr un sistema de gestión de la calidad eficaz. El concepto de pensamiento basado en riesgos ha estado implícito en ediciones anteriores de esta Norma Internacional, incluyendo, por ejemplo, llevar a cabo acciones preventivas para eliminar no conformidades potenciales, analizar cualquier no conformidad que ocurra, y tomar acciones que sean apropiadas para los efectos de la no conformidad para prevenir su recurrencia.

Para ser conforme con los requisitos de esta Norma Internacional, una organización necesita planificar e implementar acciones para abordar los riesgos y las oportunidades. Abordar tanto los riesgos como las oportunidades establece una base para aumentar la eficacia del sistema de gestión de la calidad, alcanzar mejores resultados y prevenir los efectos negativos.

Las oportunidades pueden surgir como resultado de una situación favorable para lograr un resultado previsto, por ejemplo, un conjunto de circunstancias que permita a la organización atraer clientes, desarrollar nuevos productos y servicios, reducir los residuos o mejorar la productividad. Las acciones para abordar las oportunidades también pueden incluir la consideración de los riesgos asociados. El riesgo es el efecto de la incertidumbre y dicha incertidumbre puede tener efectos positivos o negativos. Una desviación positiva que surge de un riesgo puede proporcionar una oportunidad, pero no todos los efectos positivos del riesgo tienen como resultado oportunidades.

#### 2.2.3. Chequeo de flujo de respuesta

El chequeo de flujo de respuesta (RFC por sus siglas en inglés: Response Flow Checklist) es el documento donde vienen definido los pasos a seguir ante un determinado evento.

En la Figura 2.4 se muestra la acción a seguir cuando se detecta un defecto similar en un grupo de procesadores con una señal comunal a una maquina especifica. El flujo describe que se debe detener el procesamiento de ese grupo de unidades (lote) para verificar la validez de la alarma. Para ello, se realiza un retesteo de los procesadores para verificar si el defecto se repite. Si no se repite, entonces se invalida, se libera el grupo de unidades y no es necesaria ninguna acción adicional. En caso contrario, los supervisores deben escalar a los ingenieros responsables de la máquina donde se detecto la comunalidad. A continuación, ellos se hacen responsables del evento y deben realizar una reunión con los principales interesados para definir la disposición del lote.

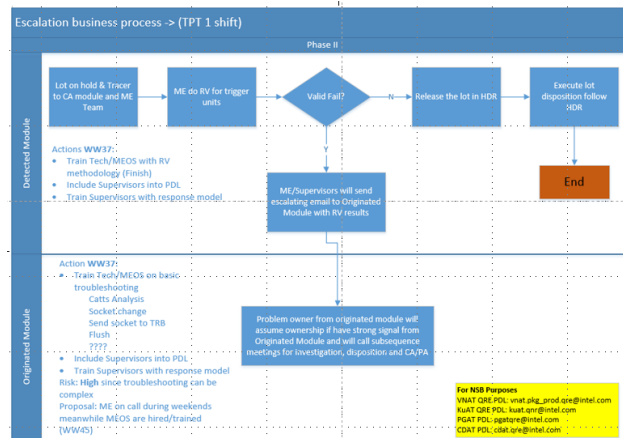


Figura 2.4 Ejemplo de RFC (Elaboración propia)

## 2.2.4. Documento de especificación

El documento de especificación (SPEC llamado en inglés), es el documento que describe las acciones a seguir ante un determinado evento, principales responsables y sus roles. El documento de especificación en sí contiene una descripción general del proceso, las herramientas disponibles, roles y responsabilidades de usuarios y los RFCs respectivos. Como parte de los requerimientos la normativa ISO 9001, en la cual la compañía ya se encuentra certificada, se debe seguir estrictamente los procedimientos descritos en el documento para garantizar una ejecución homogénea del proceso en todo momento. En caso contrario, se debe abrir un evento de calidad para entender el impacto del cambio del procedimiento. Basado en el ejemplo de la Figura 2.4, si se detecta una señal valida con una señal comunal fuerte a una máquina, y el spec menciona que se debe reemplazar el componente A, pero el operario reemplaza el componente B, lo cual conlleva un incumplimiento de un procedimiento establecido. Dado que no se tiene certeza si la máquina va a operar dentro de los estándares establecidos, se debe abrir un caso de calidad y entender el impacto de este cambio.

1.0	<b>PURPOSE AND SCOPE</b>
1.1	<p><b>Purpose</b></p> <p>To establish minimum requirements for Quality Assurance acceptance and a uniform procedure for the collection, reduction, and reporting of data, reflecting the quality levels of components, collected at the Mechanical/Visual Quality Assurance (MVQA) acceptance gates of all products for the Intel VF Assembly Test sites.</p>
1.2	<p><b>Scope</b></p> <p>This specification applies to VF Assembly Test sites. The intended audience of this spec includes but not limited to Product QRE, Package QRE, Quality System Engineers, Manufacturing System Engineers, Manufacturing Supervisors and Product Engineers.</p>
2.0	<b>BUSINESS REQUIREMENTS</b>
2.1	<p><b>Personnel/Equipment Requirements</b></p> <p>Inspections will be performed by trained and qualified personnel. A training program and training records must be available.</p> <p>MVQA workstation (either dedicated MVQA workstation or shared with FVI workstation) should follow existing FVI workstation requirement and needs.</p> <p>All components are to be considered E.S.D. sensitive and treated as such. This includes wearing a ground strap connected to ground when handling out-of-tube devices and working on a grounded surface as required in Spec 20-0218.</p> <p>All measuring equipment used for MVQA inspection in the acceptance of lots must have a current calibration or P.M. at the time of use. All equipment and workstations used must be ESD protected, maintained, and monitored regularly per spec 20-0218.</p>

Figura 2.5 Ejemplo de un documento de especificación (Intel, 2018)

## 2.2.5. Análisis de Modo y Efectos de Fallas

Análisis de Modo y Efectos de Fallas (FMEA por sus siglas en inglés: Failure Modes and Effects Analysis) es una herramienta utilizada para evaluar la confiabilidad de los sistemas e identificar posibles fallas en un proyecto, proceso, producto o servicio. De este modo, es posible definir un plan para corregir proactivamente estas fallas y evitar así sus impactos negativos (Borsalli, 2021).

El uso del FMEA permite eliminar las fallas de forma sistemática, lo que se traduce en un aumento de la confiabilidad del servicio prestado y en una mayor seguridad y satisfacción de los clientes. Su aplicación tiene un impacto directo en el rendimiento financiero de la empresa, ya que minimiza o elimina posibles fallas en los procesos de producción (Borsalli, 2021).

### 2.2.5.1. Implementación de FMEA

- Entienda las necesidades de su cliente
- Defina el alcance del FMEA (diseño, proceso u otro)
- Defina un equipo de trabajo multidisciplinar e indique las áreas relacionadas
- Defina el formato de su formulario de FMEA

Una vez completados los pasos mencionados anteriormente, podemos pasar a los pasos que le ayudarán a implementar el método. Identifique (Borsalli,2021):

- **Modo de falla**

Reúna al equipo y realice un *brainstorming* sobre las posibles fallas que pueden surgir y afectar al proceso, producto, servicio y probablemente al cliente.

- **Efecto potencial de la falla**

El efecto es la consecuencia de la falla en cuestión. Se puede identificar más de un efecto para cada falla.

- **Severidad (S)**

Es el grado de severidad del efecto de la falla. Por lo general, se considera una escala de 1 a 10, en la que 10 sería la consecuencia de la falla extremadamente grave/alta y 1 sería insignificante/baja.

- **Causas de la falla**

Determine todas las posibles causas de cada modo de falla.

- **Probabilidad de ocurrencia (O)**

Se trata de la probabilidad de que se produzca un efecto determinado y se produzca una falla. La ocurrencia puede ser evaluada en una escala de 1 a 10, donde 1 es la probabilidad extremadamente baja y 10 es muy alta.

- **Controles de proceso**

Se trata de los controles actuales empleados con la característica de prevención y los empleados para la detección de fallas. Pueden ser pruebas, procedimientos o mecanismos para evitar que las fallas lleguen al cliente. Estos controles pueden evitar que se produzca la causa o reducir su probabilidad. También pueden detectar fallas cuando ya se ha producido la causa, pero antes de que el cliente se vea afectado.

- **Detección (D)**

Se trata de una estimación de la probabilidad de detectar la falla con los controles actuales del proceso. Se puede calificar con una escala de 1 a 10, donde 1 es extremadamente probable que el control detecte la falla y 10 es improbable/imposible que se detecte la falla (por ejemplo, si no existe ningún control).

- **Número de Prioridad de Riesgo (NPR)**

La prioridad del riesgo se calcula multiplicando la severidad, la ocurrencia y la detección ( $S \times O \times D$ ). Este valor ayuda a clasificar y priorizar las fallas detectadas, es decir, en qué orden deben resolverse y si requieren una acción inmediata.

### 2.2.5.2. Ejemplo de FMEA

1	2	3	4	5	6	7	8	9
Etapa del proceso	Modo de falla	Efecto de la falla	Severidad (S)	Causas de la falla	Probabilidad de ocurrencia (O)	Controles de proceso	Detección (D)	Número de Prioridad de Riesgo (NPR)
Prueba de coche terminado	El coche no frena	Accidente	10	El sistema de frenos no funcionaba	7	Ruido al frenar	2	140
				Las ruedas patinaron	2	Indicador de desgaste de la banda de rodadura/ TWI (Tread Wear Indicator)	3	60
	El coche no arranca	El consumidor no podría llegar a su destino	7	Problema con la batería	5	Luces del panel tenues	1	35
				Falta de combustible	3	Indicada en el panel	4	84

Figura 2.6 Ejemplo de FMEA (Borsalli, 2021)

### 2.3. Estructura de un Procesador

Un computador se puede definir como una máquina electrónica capaz de aceptar información, almacenarla, procesarla y proporcionar unos resultados (Orenga y Manonellas, sf).

Para ello requiere de cuatro componentes principales para efectuar las tareas descritas anteriormente:

- **Procesador:** se encarga de gestionar y controlar las operaciones del computador.
- **Memoria:** almacena información (los programas y los datos necesarios para ejecutarlos).
- **Sistema de E/S:** transfiere los datos entre el computador y los dispositivos externos, permite comunicarse con los usuarios del computador, introduciendo información y presentando resultados, y también permite comunicarse con otros computadores.
- **Sistema de interconexión:** proporciona los mecanismos necesarios para interconectar todos los componentes.

#### 2.3.1. Arquitectura y organización de un computador

- *La arquitectura del computador* hace referencia al conjunto de elementos del computador que son visibles desde el punto de vista del programador de ensamblador.

- *La organización o estructura del computador se refiere a las unidades funcionales del computador y al modo como están interconectadas. Describe un conjunto de elementos que son transparentes al programador.*

### 2.3.2. Tipos de arquitectura

Se mantiene tradicionalmente el término de arquitectura para distinguir los dos tipos de organización más habituales: la arquitectura Von Neumann y la arquitectura Harvard (Orenga y Manonellas, sf).

Se puede decir que la mayoría de los computadores actuales utilizan la arquitectura Von Neumann, o una arquitectura Von Neumann modificada, ya que a medida que los computadores han evolucionado se le ha añadido a estas características procedentes de la arquitectura Harvard.

La diferencia principal entre las dos arquitecturas se encuentra en el mapa de memoria: mientras que en la arquitectura Von Neumann hay un único espacio de memoria para datos y para instrucciones, en la arquitectura Harvard hay dos espacios de memoria separados: un espacio de memoria para los datos y un espacio de memoria para las instrucciones.

La manera de procesar la información se especifica mediante un programa y un conjunto de datos que están almacenados en la memoria principal. Los programas están formados por instrucciones simples, denominadas instrucciones máquina.

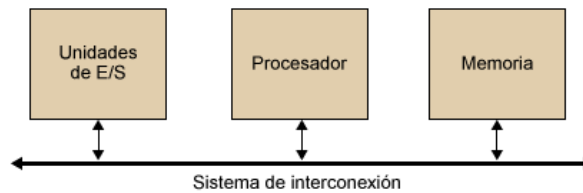


Figura 2.7 Arquitectura Von Neumann (Orenga y Manonellas, sf)

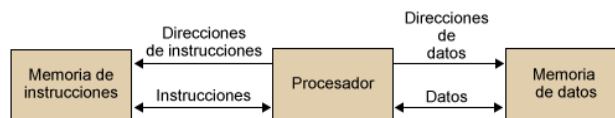


Figura 2.8 Arquitectura Harvard (Orenga y Manonellas, sf)

### 2.3.3. Procesador

Un sistema de propósito general debe ser capaz de hacer unas operaciones aritméticas y lógicas básicas, a partir de las cuales se puedan resolver problemas más complejos (Orenga y Manonellas, sf).

Para conseguirlo, el procesador dispone de una unidad aritmética y lógica (ALU) que permite realizar un conjunto de operaciones. La ALU realiza una determinada operación según unas señales de control de entrada. Cada operación se lleva a cabo sobre un conjunto de datos y produce resultados.

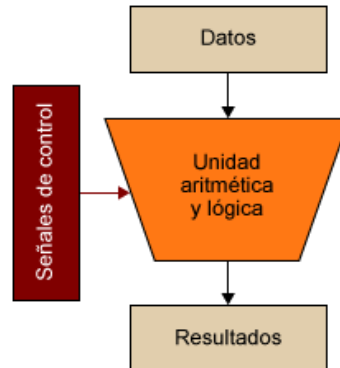


Figura 2.9 Diagrama general de procesador (Orenga y Manonellas, sf)

Desde el punto de vista de las instrucciones, cada instrucción máquina que se ejecuta en el procesador genera un determinado conjunto de señales a fin de que la ALU haga una operación determinada.

Dentro del procesador es necesaria una unidad, denominada unidad de control, que sea capaz de interpretar las instrucciones para generar el conjunto de señales de control necesarias para gobernar la ejecución de las instrucciones.

También es necesario que el procesador disponga de un conjunto de registros (elementos de almacenamiento de información rápidos, pero de poca capacidad) con los que sea capaz de trabajar la ALU, de donde leerá los datos necesarios para ejecutar las operaciones y donde almacenará los resultados de las operaciones hechas.

## 2.4. Flujo de Manufactura

### 2.4.1. Proceso de fabricación (Fabricación)

(Intel, 2011) Los microprocesadores son fabricados en un proceso conocido como impresión fotolitográfica, de esta manera cada microprocesador puede tener más de 20 capas de transistores. Un transistor es un interruptor que tiene dos posiciones: encendido y apagado, dentro de la maquina reconocidos como 1 y 0.

Para fabricar procesadores, se necesitan condiciones de limpieza que superan a las condiciones de fabricación de medicamentos, ya que el proceso se podría dañar con solo una nanopartícula de polvo en uno de los circuitos.

Además de silicio, los microprocesadores contienen oro y aluminio, el oro es el elemento más conductor que se conoce y por ello se utiliza en la fabricación de estos circuitos para aumentar la velocidad de transferencia de impulsos eléctricos.

El proceso de fabricación inicia con arena compuesta básicamente de silicio, con la que se fabrica un mono cristal de unos 20 x 150 centímetros. Para ello, se funde el material en cuestión a alta temperatura (1.370 °C) y muy lentamente (10 a 40 mm por hora) se va formando el cristal.



Figura 2.10 Preparación del silicio (Intel, 2011)

De este cristal, de cientos de kilos de peso, se cortan los extremos y la superficie exterior, de forma de obtener un cilindro perfecto. Luego, el cilindro se corta en obleas de 10 micras de espesor, la décima parte del espesor de un cabello humano, utilizando una sierra de diamante. De cada cilindro se obtienen miles de obleas, y de cada oblea se fabricarán varios cientos de microprocesadores. La elaboración de cada microprocesador se tarda alrededor de 3 meses.

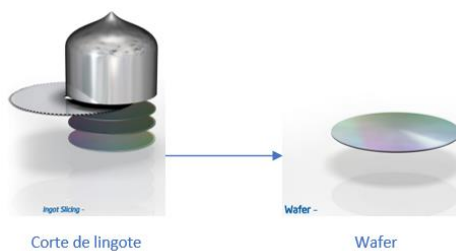


Figura 2.11 Obtención de obleas (Intel, 2011)

Estas obleas son pulidas hasta obtener una superficie perfectamente plana, pasan por un proceso llamado “annealing”, que consiste en someterlas a un calentamiento extremo para eliminar cualquier defecto o impureza que pueda haber llegado a esta instancia. Después de una supervisión mediante láseres capaz de detectar imperfecciones menores a una milésima de micra, se recubren con una capa aislante formada por óxido de silicio transferido mediante deposición de vapor.

A continuación, inicia el proceso del dibujado de los transistores que conformarán a cada microprocesador. Este consiste en la “impresión” de sucesivas máscaras sobre la oblea,

sucedándose la deposición y eliminación de capas finísimas de materiales conductores, aislantes y semiconductores, endurecidas mediante luz ultravioleta y atacada por ácidos encargados de eliminar las zonas no cubiertas por la impresión. Salvando las escalas, se trata de un proceso comparable al visto para la fabricación de circuitos impresos. Después de cientos de pasos, entre los que se hallan la creación de sustrato, la oxidación, la litografía, el grabado, la implantación iónica y la deposición de capas; se llega a un complejo «bocadillo» que contiene todos los circuitos interconectados del microprocesador.

Por ejemplo, un transistor construido en tecnología de 45 nanómetros tiene un ancho equivalente a unos 200 electrones. Eso da una idea de la precisión absoluta que se necesita al momento de aplicar cada una de las máscaras utilizadas durante la fabricación.

Los detalles de un microprocesador son tan pequeños y precisos que una única mota de polvo puede destruir todo un grupo de circuitos. Las salas empleadas para la fabricación de microprocesadores se denominan salas limpias, porque el aire de las mismas se somete a un filtrado exhaustivo y está prácticamente libre de polvo. Las salas limpias más puras de la actualidad se denominan de clase 1. La cifra indica el número máximo de partículas mayores de 0,12 micras que puede haber en un pie cúbico (0,028 m<sup>3</sup>) de aire. Como comparación, un hogar normal sería de clase 1 millón. Los trabajadores de estas plantas emplean trajes estériles para evitar que restos de piel, polvo o pelo se desprendan de sus cuerpos.

Una vez que la oblea ha pasado por todo el proceso litográfico, tiene “grabados” en su superficie varios cientos de microprocesadores, cuya integridad es comprobada antes de cortarlos. Se trata de un proceso obviamente automatizado, y que termina con una oblea que tiene grabados algunas marcas en el lugar que se encuentra algún microprocesador defectuoso.

La mayoría de los errores se dan en los bordes de la oblea, dando como resultados chips capaces de funcionar a velocidades menores que los del centro de la oblea o simplemente con características desactivadas, tales como los núcleos. Luego la oblea es cortada y cada chip individualizado. En esta etapa del proceso el microprocesador es una pequeña placa de unos pocos milímetros cuadrados, sin pines ni cápsula protectora.

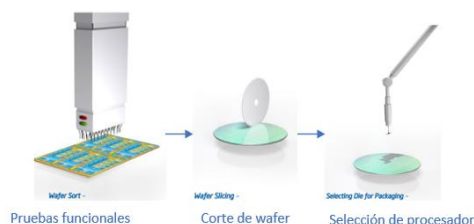


Figura 2.12 Preparación del procesador pre-ensamble (Intel, 2011)

## 2.4.2. Proceso de Ensamble

Cada una de estas plaquitas será dotada de una cápsula protectora plástica (en algunos casos pueden ser cerámicas) y conectada a los cientos de pines metálicos que le permitirán interactuar con el mundo exterior. Estas conexiones se realizan utilizando delgadísimos alambres, generalmente de oro. De ser necesario, la cápsula es provista de un pequeño disipador térmico de metal, que servirá para mejorar la transferencia de calor desde el interior del chip hacia el disipador principal. El resultado final es un microprocesador como los que equipan a los computadores.

Luego de terminar todos los pasos es instalado al microprocesador una base de cerámica o plástico con la cual podrá reposar tranquilamente sobre la tarjeta de circuitos.



Figura 2.13 Procesador ensamblado (Intel, 2011)

También se están desarrollando alternativas al silicio puro, tales como el carburo de silicio que mejora la conductividad del material, permitiendo mayores frecuencias de reloj interno; aunque aún se encuentra en investigación.



Figura 2.14 Proceso general de procesador antes de su salida al mercado (Intel, 2019)

### 2.4.3. Pruebas del procesador

Una vez que el procesador es fabricado, es necesario realizarle una serie de pruebas que permitan verificar que el procesador funciona correctamente bajo los estándares que la compañía se compromete con el cliente. Lo que significa que cada unidad que se vende en el mercado se valida eléctricamente. Las principales pruebas que se realizan son las siguientes:

#### 2.4.3.1. *Sort*

Realizan pruebas eléctricas y funcionales del procesador pre-ensamblado a temperaturas bajas ( $\sim 0^\circ$ ). El objetivo de detectar defectos causados durante el proceso de fabricación. Entre las pruebas que se realizan se encuentran:

- Mediciones eléctricas
- Procesos de estrés del silicio
- Pruebas de memorias
- Pruebas Funcionales

#### 2.4.3.2. *Test o Class*

Similar a Sort pero con el procesador ensamblado a altas temperaturas. El objetivo es detectar defectos causados durante el proceso de ensamble y defectos sensibles a altas temperaturas ( $\sim 100^\circ$ ). Adicionalmente, según las características individual de cada procesador, se configura según sea la demanda de alguna configuración en particular.

- Mediciones eléctricas
- Pruebas de memorias
- Pruebas Funcionales
- Configuraciones

#### 2.4.3.3. *PPV (Validación del Producto en Plataforma)*

Es la única prueba en plataforma que se realiza en el flujo de manufactura. El procesador se prueba con sistemas similares a la de los clientes en condiciones de funcionamiento nominal.

Existen 2 tipos de PPV:

- **PPV-S:** Pruebas cortas con una cobertura lo suficientemente robusta para detectar los defectos más comunes.
- **PPV-M:** Pruebas largas con una cobertura más robusta que permite medir el DPM, el cual es una métrica que se basa en las unidades defectuosas que se detectan con la cobertura adicional respecto a la prueba corta (PPV-S).

Dado que PPVS ronda 30min mientras que PPVM dura aprox 1h, la mayor parte del volumen se corren a través de PPVS pero corriendo un monitor de calidad en PPVM.

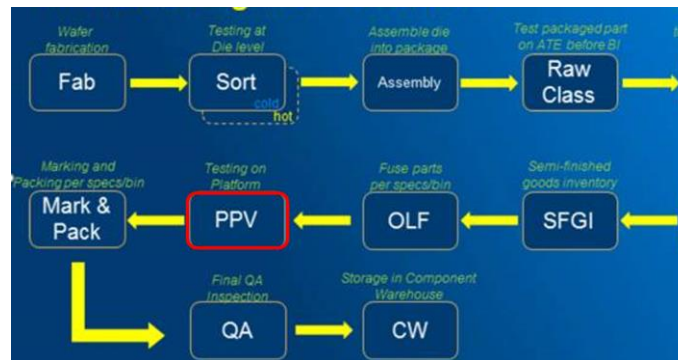


Figura 2.15 Proceso de validación del procesador (Intel, 2019)

#### 2.4.4. DPM

Los defectos por millón (DPM) es una métrica estandarizada para medir la calidad de un producto, especialmente en la industria de procesadores. A nivel industrial también se puede usar el término Piezas Defectuosas Por Millón (DPPM).

DPM es importante durante todas las diferentes etapas del producto: diseño, validación, calidad, fabricación y pruebas.

A nivel interno de la compañía existen 2 tipos de DPM:

- Salida: Defectos potencialmente visibles al cliente.
- Entrada: Defectos que no pudieron ser detectados durante las pruebas de manufactura.

#### Tipos de defectos que contribuyen a DPM.

- Defectos de fábrica aleatorios (después de corregir los defectos sistemáticos)
- Fallas tempranas
- Ensamble
- Defectos sistemáticos
  - Defectos de diseño
  - Problemas de proceso
  - Firmware, configuraciones de productos

#### 2.4.5. Áreas Críticas del flujo de manufactura

- Nivel de cobertura de las pruebas
- Porcentaje de unidades saludables
- Detección de defectos invalidos
- Nivel de DPM

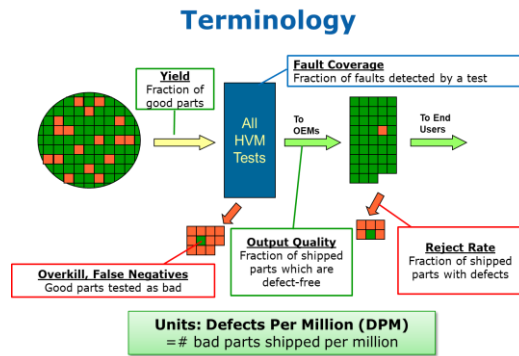


Figura 2.16 Factores de DPM (Intel, 2015)

#### 2.4.6. Modos de falla

- Mortalidad infantil
  - Fallas en el primer año de uso del cliente: defectos aleatorios
  - Almacenamiento de conteo de errores en caché
- Electromigración
  - Fallas causadas por calentamiento en las capas metálicas que dan lugar a abiertos eléctricos.
- IMAX (Corriente máxima)
  - Fallas en los pines que conectan fuentes de alimentación
- IO OS/US
  - Sobreimpulso/Insuficiencia de corriente en los pines
- GOX (Oxido de puerta)
  - Degradación en transistores (componentes primaries del procesador)
- Vccmin
  - Degradación de puntos de operación
- Fallas en el paquete
  - Quebraduras en el procesador o paquete
  - Delaminación
  - Integridad de la junta de soldadura, etc.

### 3. CAPITULO III. Marco Metodológico

#### 3.1. Enfoque de la investigación

La presente investigación utiliza un enfoque cualitativo, ya que según Blasco y Pérez (2007:25), se estudia la realidad en su contexto natural y cómo sucede, sacando e interpretando fenómenos de acuerdo con las personas implicadas. Se utiliza variedad de instrumentos para recoger información como las entrevistas, observaciones, historias de vida, en los que se describen las rutinas y las situaciones problemáticas.

En el siguiente cuadro se presenta los productos metodológicos para cada objetivo de la investigación.

Tabla 2 Instrumentos y metas de los objetivos

Objetivos	Actividades	Instrumentos-Productos	Metas
Determinar mediante investigación el riesgo de las áreas involucradas en el desarrollo del procesador, para entender su impacto en el proceso.	-Realizar una revisión bibliográfica acerca de los riesgos de cada área	-Lista de los riesgos más relevantes de cada área	Evaluar el riesgo de cada área para proveer el procedimiento de escalación óptimo.
Identificar mediante investigación los modos de fallas detectados por el actual modelo de IA que permita conocer la efectividad del modelo actual.	-Realizar un focus group con el analista de IA -Revisar el histórico de modos de falla detectados por el modelo de IA	-Diseño del guión de focus group -Lista de los modos de falla detectados	Determinar los tipos de falla detectados en la etapa de validación para identificar las áreas más vulnerables.
Realizar mediante investigación un diagnóstico sobre las acciones que se están realizando actualmente con la información generada por el modelo de IA que permita identificar fortalezas y oportunidades de mejora para el marco de trabajo que se propone.	-Realizar una revisión bibliográfica de los procedimientos actuales antes un determinado evento -Realizar entrevistas con el experto de cada área -Realizar un focus group con el analista de IA	-Diseño del guión de entrevistas -Diseño del guión de focus group -Lista de los procedimientos actuales -Lista de los aspectos más relevantes para la propuesta	Fortalecer los criterios que se utilizaran para la propuesta mediante la examinación de los procedimientos actuales.
Elaborar un marco de trabajo específico para el proceso que este causado el defecto que permita dar retroalimentación ágil y eficaz a los interesados.	-Crear la propuesta del marco de trabajo	-Propuesta de marco de trabajo	Proporcionar a la compañía un marco de trabajo estándar que contenga procedimientos de escalación a las áreas más vulnerables.
Evaluar la eficiencia del marco de trabajo mediante la ejecución de un plan piloto que permita valorar su factibilidad.	-Diseño de la experiencia para la validación del marco. -Llevar a cabo un piloto del diseño de la experiencia. -Plantear observaciones y mejoras al diseño de la experiencia.	-Diseño de la experiencia -Ejecución de la experiencia -Recolección de datos	Proporcionar a la compañía un marco de trabajo validado en una experiencia de desarrollo interno.

Fuente: Elaboración propia

#### 3.2. Tipo de investigación

El tipo de investigación que se plantea es del tipo cualitativa descriptiva y experimental. Se realizó una revisión de literatura para conocer el estado del arte en investigaciones relacionadas con el tema de investigación. En esta revisión de literatura se incluyeron artículos de revistas académicas, se recolectaron datos y se tomó en cuenta los criterios de expertos para plantear la técnica de estimación y alcanzar los objetivos del estudio; todo

ello conforme el tipo de investigación cualitativo (Hernandez & Batista, 2014). A continuación, se describe los tipos de investigación cualitativa que se proponen utilizar:

**Investigación descriptiva:** Se propone conocer los procedimientos actuales cuando se detecta un evento, conocer las funciones de cada área y tipos de fallas generadas por el modelo de IA. Para ello se pretende utilizar la técnica de entrevista con los encargados de cada área, que permita conocer la forma como reciben las escalaciones actuales y determinar las funciones principales de su área. Por otro lado, por medio de la técnica de focus group con los analistas de IA, se pretende conocer los procedimientos actuales de escalación hacia las diferentes áreas impactadas, además de entender los tipos fallas generadas por el modelo de IA. Mientras que el focus group con los ingenieros de calidad pretende conocer los tipos de fallas vistos desde el lado del cliente.

**Investigación experimental:** Se propone realizar un piloto que utilice los nuevos marcos de trabajo. Para ello se pretende utilizar la técnica de observación para evaluar el entendimiento de los nuevos procesos y de los nuevos roles y responsabilidades definidos que permita valorar su factibilidad.

### 3.3. Sujetos y fuentes de información

Los sujetos es la definición de quiénes son las personas objeto de estudio, también se le conoce como población o universo, según Barrantes (2005) “la población: conjunto de elementos que tienen características en común... Pueden ser finitas o infinitas” (pág. 135).

En la siguiente tabla se muestran los sujetos y la cantidad de elementos que se utilizan en cada una de las técnicas de investigación.

Tabla 3 Sujetos de investigación

Sujeto de estudio		Cantidad disponible (2)	Cantidad de elementos en la técnica		
Sujeto (1)			Observación (3)	Entrevistas (4)	Focus Group (5)
1	Ingenieros encargados de cada área	7		7 (100%)	
2	Analistas de IA	3			2 (100%)
4	Instrumentos metodológicos	14	14 (100%)		

#### 3.3.1. Sujetos

Los sujetos de la presente investigación son:

- Los Ingenieros de Proceso a cargo de cada una de las áreas involucradas en el proceso de validación de un procesador: Diseño, Fab, Sort, Ensamble, Class, PPV, DPM Owner
- Tres analistas de IA encargados de correr y analizar los resultados del modelo para el sector de servidores

### 3.3.2. Fuentes de información

Hernández, Fernández y Baptista (2006:66) distinguen tres tipos básicos de fuentes de información, e indican que estas se componen de fuentes primarias o directas, secundarias y terciarias.

- Las fuentes primarias o directas son aquellas que proporcionan información de primera mano, se pueden considerar los libros, las revistas, los periódicos, los artículos, las monografías y las tesis.
- Las fuentes secundarias son compilaciones, resúmenes y listados de referencias de fuentes primarias publicadas en un área de conocimiento en donde se mencionan y discuten artículos, libros, tesis, entre otros.
- Por último, las fuentes terciarias son documentos que compendian nombres y títulos de revistas, boletines, conferencias, simposios, etc.

Para la presente investigación se propone utilizar las siguientes fuentes de información:

- *Fuentes primarias*
  - Realización de encuestas y focus grupo con encargados de cada área.
  - Revisión de documentación interna de la compañía.
- *Fuentes secundarias*
  - Revisión de literatura de revistas académicas en bases de datos relevantes como EBSCO, ACM, y Google Scholar.

### 3.4. Población y muestra

Para determinar los participantes en la recolección de datos se utilizó un tipo de muestreo dirigido o no probabilístico, procurando ajustar el estudio a las limitaciones de tiempo y acceso a los datos. Por lo tanto, los resultados no son representativos estadísticamente.

Se selecciona un total de 11 participantes, de los cuales 7 son ingenieros a cargo (70%), 3 son analista del modelo de IA (30%).

### 3.5. Definición de variables

Las variables son lo que los investigadores estudian, es un sustantivo que representa una clase de resultados que pueden asumir más de un valor (Salkind,1999).

En la siguiente tabla se muestran los objetivos del estudio, las variables y las técnicas de recolección de datos que se propone utilizar.

Tabla 4 Definición de variables

Objetivos específicos	Variable	Técnica de recolección de datos		
		Observación	Entrevista	Focus Group
Determinar mediante investigación el riesgo de las áreas involucradas en el desarrollo del procesador, para entender su impacto en el proceso.	Riesgo por área	X		
Identificar mediante investigación los modos de fallas detectados por el actual modelo de IA que permita conocer la efectividad del modelo actual.	Modos de fallas			X
Realizar mediante investigación un diagnóstico sobre las acciones que se están realizando actualmente con la información generada por el modelo de IA que permita identificar fortalezas y oportunidades de mejora para el marco de trabajo que se propone.	Procedimientos actuales	X	X	X

### 3.6. Descripción de instrumentos utilizados (Técnicas)

De acuerdo con Morone (2013), las técnicas de investigación son los procedimientos e instrumentos que utilizamos para acceder al conocimiento.

Se pretende realizar observación documental, entrevistas y focus group, las cuales se describen a continuación.

#### 3.6.1. Observación

##### a. Descripción

Según Sanpieri, Collado y Baptista (2010), la observación es recolectar información respecto a conductas y procesos.

Hay varios tipos de observación, por ejemplo (Levy & Ellis, 2006) sugiere conocer, luego comprender, aplicar, analizar, sintetizar y evaluar.

Este estudio utilizó el tipo de observación estructurada, la cual es definida como: "La observación estructurada es la que se realiza con la ayuda de elementos técnicos apropiados, tales como: fichas, cuadros, tablas, etc, por lo cual se le denomina observación sistemática."(Díaz, 2011, 9).

El proceso de Levy y Ellis (2006), se llevó a cabo para analizar los procedimientos utilizados en la compañía para la escalación de señales cuando se detectan defectos durante el proceso de manufactura. Adicionalmente se utilizó para analizar los FMEA existentes en cada área para identificar los riesgos y vulnerabilidad de cada área.

Se analizó un total de 13 instrumentos suministrados por las diferentes áreas durante el mes de setiembre del 2022.

### b. Procesos

Se obtuvo los documentos oficiales más relevantes que utiliza la compañía referente a los procedimientos de escalación actuales, posteriormente se analizaron sus ventajas y desventajas para que sirvan como retroalimentación para el nuevo marco de trabajo propuesto.

Por otro lado, se revisaron las bases de datos que contienen los FMEA de cada área, posteriormente se analizaron los riesgos relacionados al producto (y no al proceso) con el fin de definir el riesgo e identificar los roles críticos.

### c. Gestión y análisis de datos

En la siguiente tabla se describen las actividades que se realizaron siguiendo como modelo el propuesto por este autor.

Tabla 5 Descripción del proceso de observación realizado con base en el modelo de Levy & Ellis

Proceso de Levy & Ellis	Actividades desarrolladas
Conocer	Identificar cada uno de los instrumentos metodológicos proporcionados.
Comprender	Interpretar cada uno de los instrumentos metodológicos proporcionados.
Aplicar	Se analizaron las ventajas y desventajas de cada uno de los 8 instrumentos.
Analizar	Se seleccionaron los instrumentos que más se ajustan a la propuesta.
Sintetizar	Se generalizaron los procedimientos más relevantes de cada instrumento.
Evaluar	Se proponen los procedimientos para el nuevo marco de trabajo.

## 3.6.2. Entrevista

### a. Descripción

La entrevista de investigación es uno de los métodos de recopilación de datos informativos. Este método permite recoger y analizar varios elementos: la opinión, la actitud, los sentimientos, las representaciones de la persona entrevistada.

Entre los tipos de entrevistas están:

- La entrevista estructurada: uno de los tipos de entrevista que te ayudan a evaluar a los candidatos para los puestos de trabajo mientras se sigue un formato estándar. Todos los candidatos son entrevistados en el mismo formato con el mismo conjunto de preguntas y escalas de calificación.
- Entrevista no estructurada: no sigue ningún patrón estándar de preguntas. Es subjetiva, y el entrevistador hace preguntas basadas en las habilidades del candidato y los requisitos del trabajo.
- Entrevista semi estructurada: hace unas cuantas preguntas en un orden preestablecido, mientras que otras se hacen en orden aleatorio. Este tipo de entrevista consiste en preguntas específicas y generales.

En el presente estudio se utilizó una entrevista semi-estructurada conformada por 3 preguntas cerradas, 7 preguntas semiabierta y 5 abiertas; todas ellas con el propósito de obtener las opiniones de los expertos según el área respectiva. Del total de 15 preguntas, 8 eran obligatorias.

Para las preguntas cerradas se utilizaron únicamente las opciones Si/No. Para las preguntas semiabiertas, se sugirieron los elementos identificados en la revisión de literatura como una lista de opciones y se permitió agregar nuevos elementos, según el criterio de los participantes.

La entrevista está conformada por 3 secciones: la primera contiene preguntas generales acerca del área, la segunda sección examina si ha existido algún proceso de escalación relacionado a alguna señal del modelo actual de IA y la tercera sección obtiene la retroalimentación acerca de los procedimientos de escalación actuales. En la siguiente tabla se presenta cada sección, la variable del estudio, la cantidad de preguntas abiertas, cerradas y obligatorias por cada sección.

Tabla 6 Tipo de preguntas y variables de la investigación

Sección	Variable del estudio	Cantidad de preguntas según el tipo				Total
		Cerradas	Semiabiertas	Abiertas	Obligatorias	
1	Datos generales	1	1	2	4	4
2	Examinación	2	4	2	1	8
3	Retroalimentación	0	1	2	3	3

#### *b. Procesos*

Para cada una de las variables del estudio se formularon las preguntas que permitieran recopilar y medir los datos. Luego se realizó la entrevista por medio de Teams con cada uno de los 7 participantes. El formato utilizado para el cuestionario está visible en el Anexo Guía de entrevista.

#### *c. Gestión y análisis de datos*

Para el proceso de recolección y tabulación de datos se utilizó la herramienta Excel. Se realizó un análisis cuantitativo y cualitativo de los datos; para el análisis cualitativo se utilizaron diferentes procedimientos, cada uno de ellos se explican en Capítulo IV, Diagnóstico y análisis de resultados.

### 3.6.3. Grupos de enfoque (Focus Group)

#### a. Descripción

Según Brenes, Castro, Martínez y Núñez los grupos focales son una forma de recaudar información por medio de entrevistas grupales mientras una persona dirige la entrevista y un pequeño grupo de personas (2 a 10 participantes) discuten sobre el tema, sus características y dimensiones. (2014, pp. 3)

#### b. Procesos

Se realizó un focus group con los analistas del modelo actual de IA cuyo objetivo es entender el funcionamiento del modelo actual y examinar los procedimientos de escalación actuales que utilizan los analistas para contrastarlos con la retroalimentación obtenida de las entrevistas con los encargados de cada área. Para la realización del focus group se llevaron a cabo tres etapas, las cuales se describen a continuación.

**Etapas 1.** Antes de realizar los focus group se preparó la logística, se planificó la sesión y se confeccionó una guía para la realización del focus group. Luego se seleccionaron los participantes y se reservó la fecha y hora con 2 semana de anticipación. Posteriormente, 3 días antes de la fecha del focus group se realizó un recordatorio por medio del correo electrónico a los participantes con el propósito de motivarlos y darles a conocer los temas a tratar.

**Participantes.** Se tomó en consideración los analistas del modelo IA (3 funcionarios). El 100% de los participantes (3) son profesionales del Área de TI con más de cinco años de trabajar en la compañía.

**Etapas 2.** Se convocó un total de 3 participantes a la sesión y se obtuvo una asistencia del 100%. La sesión se realizó virtualmente por medio de la plataforma Teams el 26 de setiembre del 2022 durante un lapso de 1:00 horas. La guía utilizada en la sesión está visible en el Anexo Guía de focus group con Analistas de IA

**Etapas 3.** Después del focus group se procedió a analizar los aspectos se repetían o que confirmaban algún supuesto derivado de los otros instrumentos metodológicos. Posteriormente se analizaron los resultados, los cuales se consideraron en la técnica de estimación propuesta

#### c. Gestión y análisis de datos

Se analizaron los resultados y se realizó una triangulación entre el análisis de los resultados de los otros instrumentos utilizados en el presente estudio: entrevista y observación.

## 4. CAPITULO IV. Diagnóstico Actual

El proceso de validación consume la mayor parte de tiempo y recursos (número de ingenieros, técnicos, operarios, testers, sistemas de estrés) en la compañía. Es por ello por lo que los ingenieros hacen un gran esfuerzo para reducir el tiempo por medio de la automatización de los procesos y predicción de fallas tempranas en el proceso.

Los procesadores pueden presentar dos categorías de defectos:

Tiempo 0: Usualmente son detectados durante la etapa de validación.

Fiabilidad: Fallos anticipados en el tiempo de garantía de uso.

A pesar de que previo al inicio de venta del producto se realizan pruebas de estrés para detectar defectos de fiabilidad, no es posible detectar el 100% de defectos y se mantiene un riesgo de defectos prematuros. El DPM permite medir que tan probable es que un procesador pueda fallar en manos del cliente.

Actualmente los defectos detectados durante el proceso de validación (PPV/Class) se marcan con un indicador genérico que se llama Bin, sin embargo, este no brinda suficiente información para comprender el defecto de arquitectura subyacente, por lo que no ayuda a encontrar la causa raíz ni de resolver los defectos.

La compañía trabaja con un modelo basado en IA llamado DMPBucketer el cual clasifica los modos de fallas según sus errores arquitectónicos. Esto permite comprender el origen de la falla y se puedan asignar trabajos y recursos de priorización para su depuración a fin de reducir el DPM.

El proceso de escalación hacia los procesos de donde se detectó el defecto no se encuentra estandarizados, lo cual está provocando un incumplimiento de la norma ISO.

A continuación, se describen los detalles de cada instrumento de investigación utilizado.

### 4.1. Instrumento Observación

Con el propósito de identificar modelos, procedimientos de escalación actuales y riesgos ante a un potencial defecto detectado en las diferentes áreas, se realizó una revisión de la documentación referente al modelo de IA, los procedimientos y riesgos de las áreas de proceso; posteriormente se utilizó la técnica de observación como método de recolección de datos para conocer, comprender, aplicar, analizar, sintetizar y evaluar.

Para los procedimientos se analizaron un total de 8 instrumentos suministrados por las diferentes áreas durante el mes de setiembre del 2022. Se listaron y se describieron los instrumentos, se anotaron los comentarios y se realizó una valoración en la escala de Alto, Medio o Bajo; según su relación con la propuesta del nuevo marco de trabajo. Posteriormente se realizó un análisis de los instrumentos con mayor relación y con base

en todo el proceso se propuso los ajustes a los procedimientos que apoyaran la creación del marco de trabajo basado en el modelo de predicción de IA.

Para los riesgos se analizaron un total de 5 instrumentos que involucran las áreas de Fab, Sort, Ensamble, Class y PPV. Cabe resaltar que las áreas de Diseño y DPM no tiene asociado un FMEA.

#### 4.1.1. Instrumentos metodológicos relacionados con el modelo de IA

El modelo de “DPMBucketer” tiene dos funciones principales: el primero es clasificar los defectos de los procesadores y el segundo detectar señales anormales en alguna área del proceso de manufactura.

##### Clasificación de defectos

La compañía tiene una herramienta que pueda ser utilizada por los ingenieros del área de DPM para correr el modelo personalmente sin necesidad de algún soporte por parte de los analistas del modelo. El sistema le notifica los resultados al usuario por medio de un correo los detalles de los defectos de los procesadores que fueron incluidos en la solicitud.

El modelo utiliza datos de procesadores defectuosos detectados ya conocidos como set de entrenamiento y los datos obtenidos de las diferentes pruebas de validación para clasificar el procesador según su defecto.

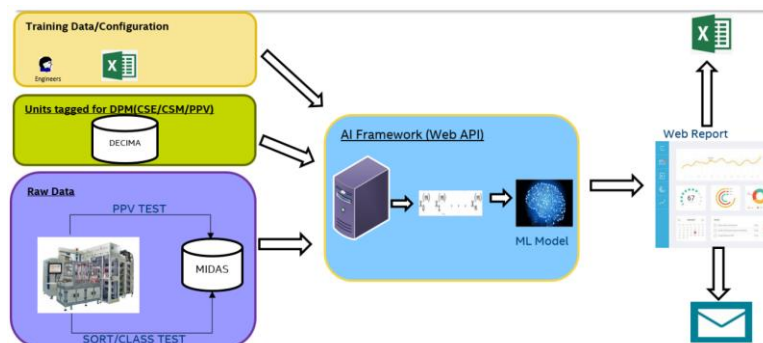


Figura 4.1 Modelo de Entrenamiento de DPMBucketer (Intel, 2019)

El modelo utiliza un “1 hot encoded register field feature value scheme”. Esto significa que cada característica arquitectónica corresponde a un campo de registro cuyos valores son una codificación 1-hot del valor de registro. Por ejemplo:

Register/Field Name	Register Value	Bitfield	Field Value	Feature Name	Feature Value
DPMBUCKETER_MCA_CORE0_ML2_STATUS	BE0000000800400	63	1	ML2_MCA_STATUS_VALID	1
DPMBUCKETER_MCA_CORE0_ML2_STATUS	BE0000000800400	31:16	0x80	ML2_MCA_STATUS_MSCOD	128
DPMBUCKETER_FSMS_CORE_RCSM_CORE_3	CORE_RCSM_IDLE	NA	NA	FSMS_CORE_RCSM	0

Figura 4.2 Esquema de valor de registro (Intel, 2019)

Los datos de entrenamiento representan los pasos para clasificar una unidad en una arquitectura que falla. Para los depuradores de nivel 1 y nivel 2, analiza el estado de la arquitectura (es decir, valores de registro) para clasificar una unidad. Por lo tanto, los datos de entrenamiento pretenden capturar este comportamiento. Cada fila en el entrenamiento representa una unidad que se clasificaría manualmente durante las actividades de depuración de nivel 1 y nivel 2.

### Example Bucketing Collateral (Partial)

#	Term	Short Definition
1	Feature Name	numerical or symbolic property of an aspect of an object
2	Feature Value	the values of the attribute
3	Feature	feature represents an attribute and variable combination
4	Label	output to predict
5	Feature Vector	A list of features describing an observation with multiple attributes
	Training Set	A set of observations used to generate machine learning models

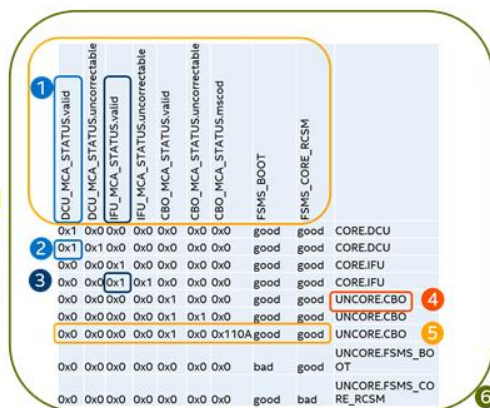


Figura 4.3 Esquema de entrenamiento (Intel, 2019)

Si este proceso se realizara manualmente, se tardaría de 1 a 4 horas en clasificar un solo procesador. Sin embargo, el modelo de IA tarda solo segundos lo cual ha permitido automatizar el proceso para mejorar la eficiencia y eliminar el proceso manual. Dado que este proceso se debe realizar diariamente, el impacto ha sido muy positivo pues permite enfocar los recursos en análisis y mejoras en otros procesos.

### Detección de señales

Esta función solo puede ser ejecutada por el analista de IA y solo se realiza por solicitud de un ingeniero cuando se detecta una señal anormal en alguna área en particular.

El modelo analiza miles de parámetros generados en las diferentes pruebas para encontrar alguna señal de interés. Si en alguna área se detecta un número anormal de procesadores fallando por un mismo defecto, entonces se puede correr el modelo para ese grupo de procesadores, con el fin de detectar si cuando corrieron esos procesadores en las etapas previas se presentó alguna señal anormal.

#### 4.1.2. Instrumentos metodológicos relacionados con procedimientos de escalación actuales

En la siguiente tabla se presenta el nombre del instrumento (primera columna), los comentarios derivados del proceso de análisis únicamente para los instrumentos que presentan una relación ALTA (segunda columna) y la relación con la propuesta (tercera columna); todo ello según el análisis realizado conforme el modelo de Levi & Ellis descrito en Capítulo III, Marco Metodológico.

Tabla 7 Instrumentos metodológicos relacionados con procedimientos de escalación actuales

Código y Nombre del documento	Comentarios	Relación con el marco
FC Factory CPU Loss Codes Specification	Contiene los códigos de todos los tipos de fallas causados por el proceso de manufactura y el area afectada	ALTO
Statistical Bin Limits Requirements & Procedures Specification	Define los procedimientos cuando se detecta material atipico en la prueba de Class.	ALTO
ATM-FSM-DMO Signal Escalation/Response Business Process Specification	Define el proceso de escalación entre los procesos de Class, PPV y Fábrica.	ALTO
Platform Validation Test Requirements & DPM Metrology Specification	Definir el proceso para garantizar que se clasifique correctamente un defecto en el área de PPV.	ALTO
Test Time Reduction Specification		BAJO
Quality Validation Specification		BAJO
eDispo		MEDIO
PCS		MEDIO

**Fuente:** Elaboración propia

Luego de conocer y comprender los elementos de la observación documental, se seleccionaron los cuatro instrumentos que presentaron una relación ALTA y para cada uno de ellos se realizó un análisis más detallado. Seguidamente se presenta como resultado de este análisis una breve descripción del instrumento, análisis y aspectos relevantes para usarse en el marco de trabajo propuesto. Adicionalmente, se presenta una breve descripción de los instrumentos que tuvieron una relación MEDIO o BAJO.

Con base en la clasificación realizada, se procede a analizar con mayor detalle los cuatro instrumentos que presentaron una alta relación, los cuales son:

1. FC Factory CPU Loss Codes Specification
2. Statistical Bin Limits Requirements & Procedures Specification
3. ATM-FSM-DMO Signal Escalation/Response Business Process Specification
4. Platform Validation Test Requirements & DPM Metrology Specification

#### 4.1.2.1. FC Factory CPU Loss Codes Specification

Contiene los códigos de todos los tipos de defectos causados por el proceso de manufactura que se pueden presentar durante la etapa de manufactura: nombre, descripción, criterio de descarte, localización en el proceso y ejemplos de referencia. Además, contiene el procedimiento en caso de requerir la creación un nuevo código y su transferencia a las diferentes sucursales que tiene la compañía a nivel global.

##### a. Análisis

Esta especificación detalla de una manera tabulada los tipos y características de los defectos, lo que le facilita al usuario la búsqueda de información. No obstante, se enfoca en los defectos producidos durante el proceso de ensamble y prueba, mas no incluye detalles si es ocasionado en fabrica. Por ejemplo, cuando una prueba detecta un fallo funcional entonces le asigna un código genérico: para Class 5901 y PPV PV01. Por otro lado, no tiene claridad en el procedimiento a seguir cuando se detecta una de estas señales, pues hace referencia a los RFC locales establecidos para la máquina donde se detectó el fallo.

Loss Code Format	Loss Code Category
59xx	Test electrical loss codes
ASXX	Assembly loss code - defects that cannot be attributed to a specific module
BAXX	Ball attach & ball attach inspect loss codes
BIXX	Burn-in loss codes
CTX	CTL (Carrier to Tray) loss codes
CJXX	SCAM loss codes
DAXX	Die Attach loss codes
DBXX	DBF (Die backside film) loss codes
DMXX	Automated Dimensional Visual Inspection loss codes
DPXX	Die prep loss codes
DXXX	Deflux loss codes
EXXX	External Package Loss codes
FIXX	Final visual inspection loss codes
FSXX	Fab/sort loss codes

Figura 4.4 Códigos de perdida (Intel, 2021)

##### b. Aspectos relevantes

La manera como se encuentra tabulada las características de los diferentes defectos puede servir como base para agregar los defectos ocasionados durante el proceso de fabricación, ya que estos son los mayores contribuyentes al DPM expuesto al cliente.

#### 4.1.2.2. Statistical Bin Limits Requirements & Procedures Specification

Define los procedimientos cuando se detecta material atípico en la prueba de Class. Durante esta prueba se tiene una referencia del número de fallos esperados para cada uno de los defectos, sin embargo, cuando se observan picos inesperados, entonces se dispara una alarma que se llama SBL la cual es obligatorio analizarla. Esto se debe a que

en caso de detectar una señal fuerte a alguna área en específica, existe la posibilidad que el material que se clasifico como bueno también pueda estar afectado por algún defecto que no se pudo detectar correctamente en Class. Los procedimientos ejecutados en esta área se encuentran almacenados en un repositorio llamado Idispo.

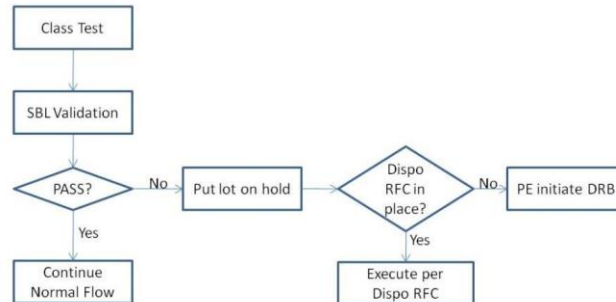


Figura 4.5 Flujo de Disposición de SBL (Intel, 2021)

#### a. Análisis

El documento define un procedimiento genérico según el tipo de falla que haya causado la alerta. Usualmente el lote se detiene, se ejecuta el procedimiento de validación para determinar si la falla es válida y luego el ingeniero de calidad de proceso realiza la disposición del material. No obstante, aunque este proceso se encuentra muy bien definido y estandarizado, la alarma se realiza a nivel de lote y no a través de una muestra estadística más relevante, lo que ocasiona que en la mayoría de los eventos se detecten defectos aleatorios y no sistemáticos. Por otro lado, el modelo de IA realiza el análisis con base a cientos de lotes, permitiendo detectar defectos sistemáticos con una señal fuerte a un área o maquina en particular.

#### b. Aspectos relevantes

Los procedimientos establecidos siguen una estructura muy similar a lo que se propone en este trabajo. Los principales ajustes que se sugieren para poder usarse con el marco de trabajo basado en modelo de IA:

- Estandarizar la forma como se visualizarían los eventos del modelo de IA
- Establecer los nuevos roles y responsabilidades basados en el nuevo marco de trabajo
- Documentar los procedimientos en una herramienta similar a Idispo

#### 4.1.2.3. *ATM-FSM-DMO Signal Escalation/Response Business Process Specification*

Este documento define el proceso de escalación a la Fábrica cuando se detectan un numero anormal de defectos en Class o PPV con una señal fuerte a un lote o wafer del área de Fabrica.

Tipos de escalamiento

- Class sin alarma de SBL: Se tienen muchos defectos con una señal fuerte a Fab, pero no ha disparado ninguna alarma de SBL.
- Class sin SBL: Se tienen muchos defectos con una señal fuerte a Fab con múltiples alarmas de SBL.
- Problemas de DPM y casos de fiabilidad: Defectos con señales fuertes a Fab

##### *a. Análisis*

Este documento especifica detalladamente los requerimientos que se deben cumplir para realizar una escalación al área de Fábrica (también llamado FSM). Se detallan los roles y responsabilidades de los principales involucrados en este proceso. La mayoría de las ocasiones, las escalaciones se realizan con base al juicio del ingeniero de calidad del proceso, lo cual no necesariamente cumple los requerimientos de la especificación.

##### *b. Aspectos relevantes*

Los procedimientos establecidos siguen una estructura muy similar a lo que se propone en este trabajo para las escalaciones hacia Fabrica. El principal ajuste que se sugiere para poder usarse con el marco de trabajo basado en modelo de IA:

- Establecer los nuevos roles y responsabilidades basados en el nuevo marco de trabajo.

#### 4.1.2.4. *Platform Validation Test Requirements & DPM Metrology Specification*

El propósito de esta especificación es definir los requerimientos necesarios para garantizar las métricas de calidad durante las actividades de prueba de validación de plataforma (PPV) y metrología de DPM, pues los requisitos de la prueba varían según la fase del producto. Por otro lado, la metrología de DPM se garantiza mediante la definición de metas y muestras estadísticas para calcular el DPM real. El cumplimiento de estas actividades permite tomar mejores decisiones que pueden afectar el cronograma, capacidad de manufactura, costo y calidad de las pruebas de PPV. A continuación se detallan algunas especificaciones de este documento.

- a. Define los requisitos de plataforma, módulo y fabricación para garantizar la calidad de validación de plataforma y plazos de ejecución coherentes.

- b. Proporcionar los requisitos de prueba según el hito del producto para garantizar una mejora constante de la calidad del programa de prueba.
- c. Definir procesos mínimos para garantizar que se verifiquen los requisitos de calidad en cada punto de sincronización de hitos.

a. *Análisis*

El documento define un procedimiento genérico para clasificar el tipo de defecto detectado en la prueba de PPV. Este proceso se encuentra estandarizado, pues es la metodología estándar que utiliza la compañía para medir el DPM de los diferentes productos. No obstante, no cuenta con un sistema de detección de comunales como lo tiene Class, por lo que se debe realizar un análisis manual para detectar alguna señal fuerte hacia algún punto del proceso de manufactura, por lo que tampoco tiene un procedimiento definido cuando se deben escalar ese tipo de señales. El modelo de IA ha permitido optimizar este análisis, sin embargo, este se realiza solo ante una solicitud específica del responsable de DPM y no como un procedimiento rutinario.

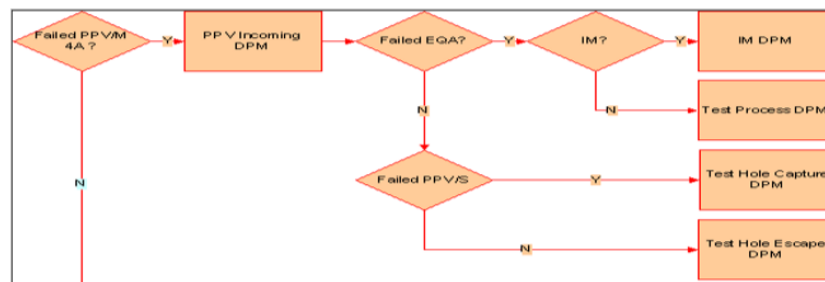


Figura 4.6 Proceso de clasificación de un fallo (Intel, 2021)

b. *Aspectos relevantes*

Los procedimientos establecidos siguen una estructura muy similar a lo que se propone en este trabajo. Los principales ajustes que se sugieren para poder usarse con el marco de trabajo basado en modelo de IA:

- Estandarizar la forma como se visualizarían los eventos del modelo de IA
- Establecer los nuevos roles y responsabilidades basados en el nuevo marco de trabajo
- Documentar los procedimientos en una herramienta estándar

Seguidamente se presenta una breve descripción de los cuatro instrumentos restantes que tuvieron una relación MEDIO o BAJO.

1. Test Time Reduction Specification
2. Quality Validation Specification
3. eDispo
4. PCS

#### 4.1.2.5. Test Time Reduction Specification

Esta especificación hace referencia a la metodología que utilizan los productos para optimizar el flujo de las pruebas para reducir el tiempo de ejecución del programa en las áreas de Sort/Class/PPV.

##### Análisis

Se deben remover pruebas del programa para lograr reducir el tiempo, esto implica que se dejan de realizar pruebas que capturan fallos en el lado del cliente.

Si bien antes de quitar estas pruebas se necesita una muestra estadística para evaluar el impacto, siempre se va a mantener latente un riesgo de calidad. Tampoco se encuentra definido el proceso cuando se recibe un procesador defectuoso del cliente y es capturado por una prueba que fue removida del programa que uso este procesador cuando se testeó por el flujo de manufactura. Actualmente solo se solicita agregar la prueba, pero sin investigar porque había sido removido anteriormente o que falló en la muestra estadística.

Requirements		High Risk	Medium Risk	Low Risk
Minimum Samples for Corner removal		240K	120K	60K
Minimum Samples for each Corner removal validation Data Point Class TTR		100K	100K	100K
Minimum Samples for each Corner removal validation Data point Data Point Sort TTR		400K	400K	400K
Minimum # of down trending PPM points		1	1	1
Minimum Fab Variation Coverage	Minimum # of Fab Lots	30	20	10
	Minimum Fab WW	4 Weeks	3 Weeks	2Weeks

Figura 4.7 Requerimientos de muestras estadísticas (Intel, 2021)

#### 4.1.2.6. Quality Validation Specification

Hace referencia a los requerimientos cuando se certifica un nuevo producto o proceso. La validación se realiza después de PPV para verificar si esta última prueba provoca un daño en el material y además verificar que los resultados obtenidos en la prueba Class se mantienen después de correr por PPV para verificar que no hay ningún defecto de fiabilidad.

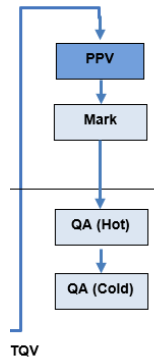


Figura 4.8 Localización de la prueba después de PPV (Intel, 2021)

### Análisis

Este documento no contiene el proceso a seguir cuando se detectan las fallas. Por otro lado, tampoco describe una metodología para distinguir si las fallas son causadas por la máquina, proceso o producto.

#### 4.1.2.7. eDispo

eDispo es una plataforma que permite la detección automática de defectos en el área de Class. La herramienta se puede configurar con las acciones inmediatas a seguir según el tipo de modo de falla que se presente. Usualmente cuando se presenta un SBL en un lote, este se pone en espera mientras el Ingeniero de Calidad decide las siguientes acciones. No obstante, con este sistema se podría configurar de tal manera que ante un determinado modo de falla no se ponga en espera el lote.

#### 4.1.2.8. PCS

PCS es un sistema para detectar potenciales eventos de calidad causadas por la máquina donde se encuentra instalada. Por lo que el objetivo es monitorear la salud del proceso y no del producto o programa de pruebas.

#### 4.1.3. Instrumentos metodológicos relacionados con los riesgos

Para esta sección se analizaron los FMEA de las áreas de Fab/Sort/Ensamble/Class/PPV para determinar los riesgos más relevantes, efectos, métodos de detección y el grado de riesgo para el DPM del producto. Por otro lado, Diseño y DPM no tienen implementados FMEA debido a que son áreas de propuestas y análisis, pero no de proceso.

#### 4.1.3.1. Fab

El modo de falla del tipo funcional representa el mayor riesgo para esta área. Si bien en Sort se realizan pruebas en frío y en Class en caliente, no necesariamente son suficientes para capturar todos los defectos debido al número limitado de pruebas que se pueden realizar en las plataformas de estas áreas debido a sus limitaciones físicas.

En un escenario donde se detecte un número inesperado de alguna falla en particular, por ejemplo #20, entonces se debe ejecutar el proceso de SBL para determinar si el material que paso la prueba de Class podría también estar defectuoso, pero marginalmente, lo cual causó que no se pudiera detectar pero que podría representar un riesgo para el cliente.

Tabla 8 Principales modos de fallas en Fab

Modo de falla	Descripción	Efecto	Método de detección	Riesgo para DPM	Comentario
Funcional	Defecto funcional del procesador	Fallos del 20 al 65	Sort,Class	Alto	Defectos no necesariamente se podrían capturar en Sort/Class/PPV
Open	Defecto eléctrico causado por el proceso	Muchos fallos del tipo 10,99	Sort,Class	Medio	Defecto debería capturarse en Sort y no llegar hasta PPV
Short	Defecto eléctrico causado por el proceso	Muchos fallos del tipo 15,99	Sort,Class	Medio	Defecto debería capturarse en Sort y no llegar hasta PPV
Termo	Daño en los diodos de temperatura	Muchos fallos del tipo 97	Sort,Class	Medio	Defecto debería capturarse en Sort y no llegar hasta PPV

Fuente: Elaboración propia

#### 4.1.3.2. Sort

Los fallos más críticos se valorizaron como **Medio** debido a que deberían capturarse en la misma prueba del área, y eventualmente habría una segunda oportunidad de capturarse en la prueba de Class. No obstante, una predicción temprana permite realizar acciones correctivas oportunas para reducir las pérdidas de unidades y evitar ensamblarlas, pues conlleva gastos adicionales en material de empaque, capacidad y logística.

Tabla 9 Principales modos de fallas en Sort

Modo de falla	Descripción	Efecto	Método de detección	Riesgo para DPM	Comentario
Open	Defecto eléctrico causado por pico de corriente	Muchos fallos del tipo 15,99	Sort,Class	Medio	Defecto debería capturarse en Sort y no llegar hasta PPV
Short	Defecto eléctrico causado por pico de corriente	Muchos fallos del tipo 15,99	Sort,Class	Medio	Defecto debería capturarse en Sort y no llegar hasta PPV
Termo	Daño en los diodos de temperatura	Muchos fallos del tipo 97	Sort,Class	Medio	Defecto debería capturarse en Sort y no llegar hasta PPV
MI01	Defecto visual-mecánico en el exterior del procesador	Muchas pérdidas de unidades	Inspección visual	Bajo	Defecto cosmético, no compromete funcionalidad
MI04	Daño en componentes externos	Muchas pérdidas de unidades	Inspección visual	Bajo	Usualmente no compromete funcionalidad

Fuente: Elaboración propia

#### 4.1.3.3. *Ensamble*

Los fallos más críticos se valorizaron como **Medio** debido a que deberían capturarse en las inspecciones visuales del área o eventualmente en la prueba de Class. De la misma forma que en Sort, una predicción temprana permite realizar acciones correctivas oportunas para reducir las pérdidas de unidades y evitar ensamblarlas, pues conlleva gastos adicionales en material de empaque, capacidad y logística.

Tabla 10 Principales modos de fallas en Ensamble

Modo de falla	Descripción	Efecto	Método de detección	Riesgo para DPM	Comentario
MI02	Defecto visual-mecánico sobre el procesador	Muchos fallos del tipo 10,15	Visual, Class	Medio	Defecto debería capturarse en Class o inspecciones visuales del área y no llegar hasta PPV
MI03	Defecto visual-mecánico en el interior del paquete	Muchos fallos del tipo 10,15	Visual, Class	Medio	Defecto debería capturarse en Class o inspecciones visuales del área y no llegar hasta PPV
Termo	Daño en los disipadores de temperatura del cobertor	Muchos fallos del tipo 97	Visual, Class	Medio	Defecto debería capturarse en Class o inspecciones visuales del área y no llegar hasta PPV
MI05	Defectos en las conexiones entre procesador y paquete	Muchos fallos del tipo 10,15	Inspección visual	Medio	Defecto debería capturarse en Class y no llegar hasta PPV
MI01	Defecto visual-mecánico en el exterior del paquete	Muchas pérdidas de unidades	Inspección visual	Bajo	Defecto cosmético, no compromete funcionalidad
MI04	Daño en componentes externos	Muchas pérdidas de unidades	Inspección visual	Bajo	Usualmente no compromete funcionalidad

**Fuente:** Elaboración propia

#### 4.1.3.4. *Class*

El modo de falla S930 (abulladura en los pines) representa un riesgo ALTO debido a que no necesariamente es capturable por las inspecciones visuales o de prueba eléctrica, por lo que podría generar un riesgo de fiabilidad.

Para poder capturar este defecto es necesario una inspección visual con un microscopio de alta resolución (50X), por lo que no es viable desde el punto de vista de capacidad la revisión del 100% de los lotes. Por lo tanto, se selecciona una muestra estadística periódicamente, en caso de detectar este defecto, entonces se manda al laboratorio una muestra del material impactado para una inspección más profunda, se revisa alguna comunalidad a alguna máquina en específico y se inspecciona el material que se haya procesado antes y después a través de la máquina responsable.

El propósito principal de Class es capturar defectos provenientes de Fab o Ensamble, por lo que es esperado que se utilice como un filtro de los defectos generados en etapas previas. Eso no significa que no se puedan generar eventos que dañen el material, sin embargo, históricamente se ha demostrado que los fallos eléctricos o de temperatura causados en Class usualmente son capturados en un 99% en la misma prueba, mientras que los defectos termo-mecánicos son capturables al 100% en las inspecciones visuales antes de llevar el producto a bodega, por lo que el riesgo de DPM es de Medio a Bajo.

Tabla 11 Principales modos de fallas en Class

Modo de falla	Descripción	Efecto	Método de detección	Riesgo para DPM	Comentario
S930	Abulladura en los pines externos	Muchas pérdidas de unidades	Inspección visual	Alto	Defecto no necesariamente capturable por las inspecciones visuales por lo que podría generar un riesgo de fiabilidad
Open	Defecto eléctrico causado por pico de corriente	Muchos fallos del tipo 10,99	Class	Medio	Defecto debería capturarse en Class y no llegar hasta PPV
Short	Defecto eléctrico causado por pico de corriente	Muchos fallos del tipo 15,99	Class	Medio	Defecto debería capturarse en Class y no llegar hasta PPV
Termo	Daño en los disipadores de temperatura del cobertor	Muchos fallos del tipo 97	Class	Medio	Defecto debería capturarse en Class y no llegar hasta PPV
MI01	Defecto visual-mecánico en el exterior del paquete	Muchas pérdidas de unidades	Inspección visual	Bajo	Defecto cosmético, no compromete funcionalidad
MI04	Daño en componentes externos	Muchas pérdidas de unidades	Inspección visual	Bajo	Usualmente no compromete funcionalidad

Fuente: Elaboración propia

#### 4.1.3.5. PPV

Del mismo que en Class, el modo de falla S930 (abulladura en los pines) representa un riesgo ALTO y además tomando en cuenta que después de PPV ya no hay ninguna otra prueba eléctrica como medio de mitigación. Por otro lado, en esta área se podrían generar Opens y Shorts, que son defectos eléctricos que no necesariamente podrían ser capturados por PPV y que usualmente Class es la prueba estándar de la compañía para detectarlos, por lo tanto, este tipo de fallas también representan un riesgo ALTO para el área de PPV.

Tabla 12 Principales modos de fallas en PPV

Modo de falla	Descripción	Efecto	Método de detección	Riesgo para DPM	Comentario
S930	Abulladura en los pines externos	Muchas pérdidas de unidades	Inspección visual	Alto	Defecto no necesariamente capturable por las inspecciones visuales por lo que podría generar un riesgo de fiabilidad
Open	Defecto eléctrico causado por pico de corriente	Muchos fallos del tipo 88,87	PPV	Alto	Defecto no se captura al 100% en PPV
Short	Defecto eléctrico causado por pico de corriente	Muchos fallos del tipo 88,87	PPV	Alto	Defecto no se captura al 100% en PPV
Termo	Daño en los disipadores de temperatura del cobertor	Muchos fallos del tipo 88,87	PPV	Medio	Defecto debería capturarse en PPV
MI01	Defecto visual-mecánico en el exterior del paquete	Muchas pérdidas de unidades	Inspección visual	Bajo	Defecto cosmético, no compromete funcionalidad
MI04	Daño en componentes externos	Muchas pérdidas de unidades	Inspección visual	Bajo	Usualmente no compromete funcionalidad

Fuente: Elaboración propia

#### 4.1.3.6. DPM

La Tabla 12 Principales modos de fallas en PPV corresponde a los modos de falla generados por el área de PPV, sin embargo, el objetivo de esta prueba es detectar fallos a nivel de plataforma que no fueron capturados en pruebas anteriores. Por lo que la información generada por estos fallos es la que utiliza el modelo de IA “DPMBucketeter” para clasificar los defectos de los procesadores. En Tabla 13 Clasificación de fallos del DPMBucketeter se muestra un extracto de la clasificación de fallos que puede generar el modelo.

Tabla 13 Clasificación de fallos del DPMBucketeter

DPM Type	L1 Bucket	Bucket
Random	UNCORE	UNCORE.CHA.TORTIMEOUT
		UNCORE.UBOX.LOCKFSM.CORE
		UNCORE.CHA.ADDR.PARITY
		UNCORE.CHA.CORE.WB.MISS.LLC
		CORE.ML2.3STRIKE
		UNCORE.CHA.OTHER
	IMC	UNCORE.IMC.MCE
	PCIE	LINUX.FAIL.GDMACOPYRANDOM.GROUP
		FAIL.GDMA.1S
		PY.FAIL.CHECKPCIEREGISTERS
	CORE.ARRAY	CORE.ML2.DATA.CORR
		CORE.IFU.IC.PARITY
	Dragon	DRAGON.SANITY.CST
		DRAGON.SANITY.TRB
	UPI	DRAGON.TO.BLENDER.2SOCKETS
	SDE	DRAGON.SDE
CPM	LINUX.TO.CPM2	
CORE.LOGIC	CORE.DCU	
BOOT	LINUXSTAGE.STAGE.LINUX	
MDF	UNCORE.MDF	
Systematic	BOOT	EFI.BOOT
		BOOTHALT.TRANS
	PPV.Instability	UNDEFINED
		SVOS.TO.HQM
		LINUX.TO.IFS
		LINUX.FAIL.IFS
		THERMAL.CONTROL
		ACTUATION
	Mesh parity	CORE.ML2.SQDB
		CORE.ML2.OTHER
SDE_SHC	SDE_SHC	SDE.SHC
		SDE.SDC.FAIL.SDEIMUNCH

Fuente: Elaboración propia

## 4.2. Instrumento Entrevista

El análisis de datos se realiza tomando en cuenta las entrevistas completas (7). En los siguientes apartados se analizan los datos generales, descripción del área, escalación de señales y retroalimentación acerca de los procedimientos de escalación actuales.

### 4.2.3. Datos generales

De los 7 participantes, 3 son mujeres (42%) y 4 hombres (58%), todos son profesionales, 3 tienen maestría en un área de electrónica (42%), 2 tienen maestría en un área de química (28%) y 2 (28%) posee un doctorado en electrónica. La edad de todos los participantes está en un rango entre 40 y 50 años (100%)

El 71% tiene más de veinte años de trabajar en la compañía, y más de 12 años trabajando en el área respectiva en puestos de ingeniera y gerencia. Los demás participantes tienen más diez años de trabajar en la compañía y más de 6 años trabajando en el área respectiva en puestos de liderazgo técnico.

### 4.2.4. Descripción del área

#### Función del área

Para conocer la función que tiene el área en el proceso de manufactura del procesador se utilizó la siguiente pregunta “**¿Qué función tiene su área dentro del proceso? (diseño, fabricación, prueba, etc)**”.

La pregunta fue abierta debido a que cada área tiene diferentes tipos de funciones. La intención de la pregunta es validar los datos obtenidos en la investigación del marco teórico. La siguiente tabla muestra una correlación ALTA en todas las áreas de interés.

Tabla 14 Correlación de entrevista con marco teórico

Area	Síntesis de Entrevista	Síntesis de Marco teórico	Correlación
<b>Fab</b>	Fabricar los wafers de procesadores a través de complejos procesos de litografía	Los microprocesadores son fabricados en un proceso conocido como impresión fotolitográfica, de esta manera cada microprocesador puede tener más de 20 capas de transistores.	ALTO
<b>Sort</b>	Realizar pruebas eléctricas a los procesadores pre-ensamble para detectar defectos de fabricación a bajas temperaturas	Realizan pruebas eléctricas y funcionales del procesador pre-ensamblado a temperaturas bajas (~0°).	ALTO
<b>Ensamble</b>	Ensamblar los procesadores para proveerles protección y conectividad en las tarjetas madres	El microprocesador es instalado en una base de cerámica o plástico con la cual podrá reposar tranquilamente sobre la tarjeta de circuitos	ALTO
<b>Class</b>	Realizar pruebas eléctricas a los procesadores post-ensamble en altas temperaturas y configurarlos según las necesidades del cliente	Detectar defectos causados durante el proceso de ensamble y defectos sensibles a altas temperaturas (~100°), además se configura según sea la demanda de alguna configuración en particular.	ALTO
<b>PPV</b>	Realizar pruebas en plataforma para simular las mismas condiciones de uso del cliente y poder medir el DPM del producto	El procesador se prueba con sistemas similares a la de los clientes en condiciones de funcionamiento nominal.	ALTO
<b>DPM</b>	Validar y clasificar los defectos detectados en el área de PPV para determinar el DPM real del producto y poder reportarlo a los clientes	Cumplir una métrica estandarizada para medir la calidad de un producto, especialmente en la industria de procesadores.	ALTO

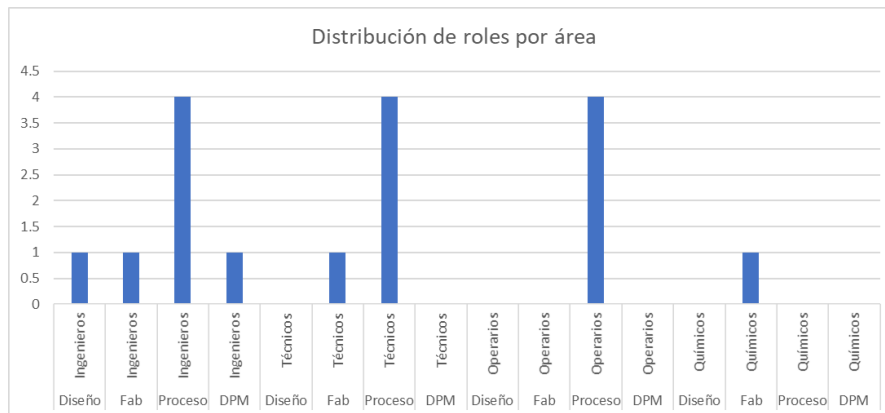
Fuente: Elaboración propia

### Principales roles y funciones del área

Para conocer los principales roles involucrados el área se utilizó la siguiente pregunta “¿**Cuáles son los roles involucrados en su área? (Ingenieros, operarios, técnicos, etc)**”.

La pregunta era semi-abierta de opción múltiple. Para ello se listaron las opciones de ingenieros, operarios y técnicos, pero con la opción de mencionar otro rol de interés. De esta forma se obtuvieron los resultados que se muestran en Ilustración 1 Principales roles involucrados en las áreas de interés.

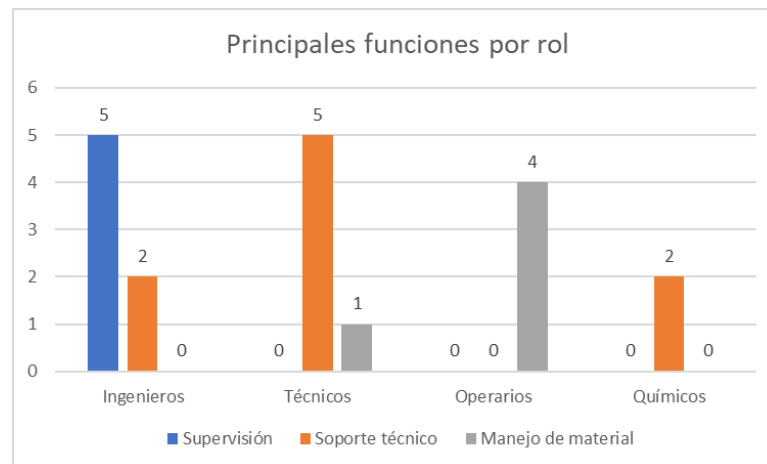
Ilustración 1 Principales roles involucrados en las áreas de interés (Elaboración propia)



Como se puede observar, en todas las áreas existen ingenieros. Por otro lado, los técnicos soportan principalmente las áreas Proceso tales como Ensamble, Sort, Class y PPV.

Adicionalmente, se indagó por medio de una pregunta abierta **“¿Cuál es la principal función de cada rol?”**. De esta forma se obtuvieron los resultados que se muestran en Ilustración 2 Principales funciones por cada rol.

Ilustración 2 Principales funciones por cada rol (Elaboración propia)



Como se puede observar, las principales funciones de los ingenieros son de supervisión en el lado técnico. Es importante mencionar que el soporte técnico que es realizado por los ingenieros es en las áreas de Diseño y DPM, el cual requiere una formación académica para desempeñar el rol. Por otro lado, los técnicos realizan mayormente funciones de soporte técnico en las máquinas y software de las áreas de prueba en manufactura.

#### 4.2.5. Escalación de señales del modelo de IA

##### Examinación del proceso de escalación

Se examinó si los expertos de cada área tienen conocimiento de la existencia de un modelo de IA, para ello se realizó la siguiente pregunta cerrada **¿Sabe de la existencia de un modelo de IA para predecir defectos tempranos en el procesador?** Con una respuesta esperada de Si/No.

Tabla 15 Datos obtenidos respecto a los procesos de escalación

Area	Existe	Escalaciones recientes	Receptor	Emisor	Medio de Contacto
Diseño	No	No			
Fab	Si	Si	Ingenieros	Ingeniero de Class, DPM	Primer contacto por correo
Sort	Si	Si	Ingenieros	Ingeniero de Class	Primer contacto por correo
Ensamble	Si	Si	Ingenieros	Ingeniero de Class	Primer contacto por correo
Class	Si	Si	Ingenieros	Ingeniero de DPM	Primer contacto por correo
PPV	Si	No			
DPM	Si	No			

**Fuente:** Elaboración propia

Como se puede observar, la mayoría de las áreas tiene conocimiento de la existencia del modelo excepto el área de diseño. Posiblemente porque sus fallos se podrían correlacionar con alguna señal de Fab o Sort que eventualmente se escalarían a Diseño. Por otro lado, mediante la pregunta cerrada **¿Han recibido escalaciones relacionadas a las alarmas del modelo?**, se puede observar que solo 4 áreas han recibido una escalación del modelo de IA: Fab, Sort, Ensamble y Class.

Para obtener que rol recibió las escalaciones se formuló la siguiente pregunta semi-abierta **¿Quiénes recibieron las escalaciones?** y para determinar que rol las emitió se realizó esta otra pregunta semi-abierta **¿Quiénes realizaron las escalaciones?**

Para todas las áreas impactadas, las escalaciones fueron recibidas por los Ingenieros principales del proceso. Mientras que los principales emisores fueron los ingenieros de las áreas donde se detectaron los defectos.

El primer medio de contacto fue el correo electrónico. Sin embargo, seguidamente se realizaron reuniones para entender con mayor detalle el contexto del problema y definir los siguientes pasos a seguir.

##### Tipo de escalaciones

Se determinó que tipo de señales fueron escalados a las áreas afectadas por medio de la pregunta semi-abierta **¿Qué tipos de señales fueron escaladas?**

Se puede observar en Tabla 16 Tabla 16 Tipos de escalaciones que las escalaciones que se realizaron a Fab es cuando encontraron una comunalidad en un lote o wafer de Fab. Por otro lado, en Ensamble está asociado a alguna máquina en particular, mientras que en las

áreas de prueba de Sort/Class están asociadas a las mediciones realizadas por el programa de Prueba.

Respecto a los tipos de acciones realizadas, se realizó la pregunta **¿Qué acciones inmediatas se realizaron?** Se puede notar en Tabla 16 Tipos de escalaciones; **Error! No se encuentra el origen de la referencia.**, que en el 100% de los eventos la acción inmediata fue revisar si el material estuvo afectado por un evento de calidad que pudiera estar causando los defectos.

Por otro lado, las señales escaladas hacia Sort o Ensamble fueron 100% validas, mientras que en Fab las señales se invalidaron en un 60% según los datos suministrados por el experto de Fab y que se resume en Tabla 16 Tipos de escalaciones.

Tabla 16 Tipos de escalaciones

Area	Tipo de señal	Acciones realizadas	Señal Valida
Diseño			
Fab	Material	Se revisó si lote afectado estuvo asociado a algún evento de calidad en Fab y su desempeño en Sort	A veces (60%)
Sort	Programa de Prueba	Se revisó si el material afectado estuvo asociado a algún evento de calidad en Fab y los programas de Prueba utilizado	SI
Ensamble	Máquina	Se revisó si la máquina ocasionó algún evento de calidad en el rango de tiempo respectivo y su desempeño en Class	SI
Class	Programa de Prueba	Se revisó si el material afectado estuvo asociado a algún evento de calidad en Fab,Sort,Ensamble y los programas de Prueba utilizado	No
PPV			
DPM			

Fuente: Elaboración propia

#### 4.2.6. Retroalimentación de procedimientos de escalación actuales

Se trató de examinar la percepción de los expertos respecto al proceso de escalación de las señales. Para ello se formuló la siguiente pregunta abierta **¿Considera que se puede mejorar ese proceso de escalación?**

El 100% concuerda que se debe compilar suficiente información antes de realizar la escalación. Esto debido a que usualmente deben solicitar información básica que retrasa la investigación del lado de la posible área impactada. Algunos comentarios adicionales fueron los siguientes:

Fab:

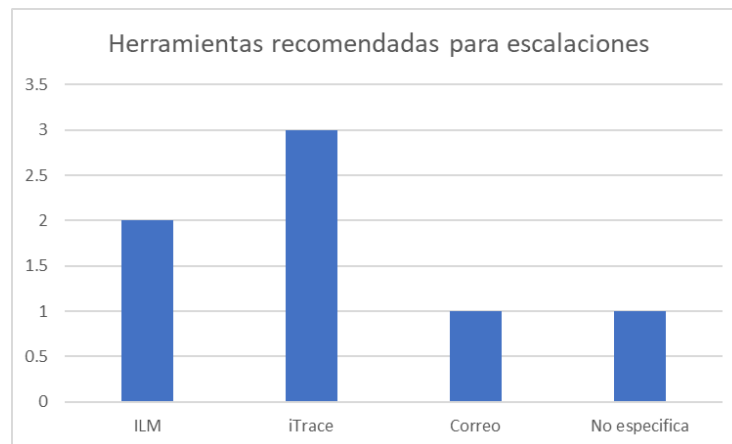
- Ejecutar una prueba de REBI que consiste en volver a estresar el lote de unidades impactado para determinar si se generan nuevos fallos relacionados a la fiabilidad.
- Mandar a inspeccionar al laboratorio una muestra de unidades
- Proveer la lista de todos los posibles lotes impactados

### Ensamble:

- a. Ejecutar una prueba de estrés termo-mecánico para determinar si se generan nuevos fallos en el paquete.
- b. Mandar a inspeccionar al laboratorio una muestra de unidades
- c. Proveer la lista de todos los posibles lotes impactados

El 100% de los expertos considera que los ingenieros con mayor experiencia son los responsables de recibir estas escalaciones. Por otro lado, el 85% de los entrevistados considera que se debe utilizar una herramienta estandarizada para las escalaciones de las señales. Se puede observar en Ilustración 3 Herramientas recomendadas para escalaciones que la herramienta más recomendada es iTrace con un 42% seguidamente de ILM con un 28%.

Ilustración 3 Herramientas recomendadas para escalaciones (Elaboración propia)



Fuente: Elaboración Propia

Finalmente se preguntó **¿Qué acciones inmediatas se deberían realizar una vez recibida la escalación?**. El 71% de los encuestados sugiere que se debe revisar si el lote estuvo asociado a un evento de calidad. Si es así, entonces revisar la disposición, si no entonces se sugiere:

- a. Llamar a una reunión entre el área que detectó la señal y la posible área afectada
- b. Revisar el desempeño del lote en Sort/Class para evaluar si existe una señal obvia relacionada al evento escalado.
- c. Mandar una muestra de unidades al laboratorio para entender el modo de fallo.

El 60% considera que el tiempo de respuesta debería ser de 24h con la intención de detectar cualquier anomalía que pudiera causar un mayor impacto.

### 4.3. Instrumento Grupo Focal

El focus group estuvo dirigido a generalidades del modelo, procedimientos realizados y el tipo de señales detectados.

Inicialmente se conversó acerca de las diferentes funciones que tienen los tres participantes en el focus group. Dos son Analistas de Datos con amplia experiencia dentro del área de IT en departamentos de Finanzas y Big Data dentro y fuera de la compañía. Mientras que el tercero es estudiante de Ingeniería en SW con especialidad en Inteligencia Artificial.

De acuerdo con los participantes el modelo de IA tiene aproximadamente 3 años de existir, el cual nació con la intención de predecir defectos en el área de manufactura. Posteriormente se le vio una oportunidad para usarse en la predicción de defectos relacionados al producto que pudiera ayudar a mejorar el proceso de evaluación de DPM que se realiza diariamente.

El 100% de los participantes mencionaron que no es parte de sus funciones actuales realizar una escalación en caso de detectar una señal. Mencionan que el modelo se ejecuta principalmente ante dos circunstancias. La primera que es cuando el Ingeniero de DPM trata de clasificar el tipo de fallo obtenido en PPV, mientras que la segunda es cuando se tiene una solicitud adicional por parte de un Ingeniero de DPM u otra área para encontrar alguna señal comunal de alguna otra parte del proceso. Uno de los analistas mencionó que *“Nosotros corremos el modelo, pero no nos enteramos de que pasa después”*. En ambos escenarios, en caso de detectar alguna señal es responsabilidad del solicitante realizar la escalación respectiva.

También mencionan que tampoco se les notifica si las señales detectadas han sido válidas y por lo tanto tampoco han recibido una retroalimentación directamente. Un participante agregó *“No sabemos si el modelo es suficientemente efectivo con las señales detectadas”*.

Los tres participantes coinciden que se debe mejorar el proceso de escalación pues con un mayor conocimiento del impacto del área afectada es posible determinar y analizar otras variables críticas que pudieran ser más determinístico el modelo. Uno de ellos sugiere que *“Necesitamos entender más el proceso para evaluar otras variables de interés y contribuir más”*.

Según los analistas, actualmente no se han detectado señales repetidas, una de las razones podría ser que basado en los resultados del modelo, los ingenieros interesados pueden correlacionar con síntomas similares obtenidos en las áreas de pruebas de Sort/Class/PPV.

Por otro lado, durante la sesión se obtuvo la lista de fallos detectados por el modelo en los últimos 3 meses, tal como se muestra en Tabla 17 Lista de fallos detectados por el modelo de IA.

Tabla 17 Lista de fallos detectados por el modelo de IA

VALID	DPM Type	L1 Bucket	Bucket	Triggers
FAIL	Random	UNCORE	UNCORE.CHA.TORTIMEOUT	6
			UNCORE.UBOX.LOCKFSM.CORE	2
			UNCORE.CHA.ADDR.PARITY	1
			UNCORE.CHA.CORE.WB.MISS.LLC	1
			CORE.ML2.3STRIKE	1
			UNCORE.CHA.OTHER	1
		IMC	UNCORE.IMC.MCE	7
		PCIE	LINUX.FAIL.GDMACOPYRANDOM.GROUP	1
			FAIL.GDMA.1S	1
			PY.FAIL.CHECKPCIEREGISTERS	1
		CORE.ARRAY	CORE.ML2.DATA.CORR	2
			CORE.IFU.IC.PARITY	1
		Dragon	DRAGON.SANITY.CST	2
			DRAGON.SANITY.TRB	1
		UPI	DRAGON.TO.BLENDER.2SOCKETS	2
		SDE	DRAGON.SDE	1
		CPM	LINUX.TO.CPM2	1
		CORE.LOGIC	CORE.DCU	1
	BOOT	LINUXSTAGE.STAGE.LINUX	1	
	MDF	UNCORE.MDF	1	
	Systematic	BOOT	EFI.BOOT	11
			BOOTHALT.TRANS	3
		PPV.Instability	UNDEFINED	1
			SVOS.TO.HQM	1
			LINUX.TO.IFS	1
			LINUX.FAIL.IFS	1
			THERMAL.CONTROL	1
ACTUATION			1	
Mesh parity		CORE.ML2.SQDB	4	
		CORE.ML2.OTHER	1	
SDE_SHC	SDE_SHC	SDE.SHC	1	
		SDE.SDC.FAIL.SDEIMUNCH	1	

Fuente: Elaboración Propia

Se puede observar que dos clasificaciones generales de los fallos: Random y Systematic. El primero está relacionado a defectos reales de producto, mientras que el segundo está relacionado a fallos inducidos erróneamente por el programa de pruebas. La expectativa es que una vez que el producto cumple con los requisitos de certificación, no se generen fallos “Systematic.”, pues se genera preocupación que eventualmente se oculten defectos reales.

Como conclusión, la compañía tiene estandarizados algunos procedimientos especialmente cuando las alarmas son detectadas en tiempo real en alguna área de prueba. Por ejemplo, en Class, estas alarmas son detectadas a través de una herramienta que se llama eDispo y se ejecuta el procedimiento de Statistical Bin Limits Requirements & Procedures Specification descrito en la sección de instrumentos metodológicos. Si se sospecha que los defectos fueron producidos en el área de Fab entonces se ejecuta el proceso descrito en ATM-FSM-DMO Signal Escalation/Response Business Process Specification.

Por otro lado, el modelo de IA dispara alarmas de posibles defectos sistemáticos días después de haber sido procesados a través de las áreas de prueba, sin embargo, actualmente no se tienen definidos que procedimientos se deben ejecutar, si los actuales o nuevos, tampoco se tienen definidos los roles y responsabilidades. Esto conlleva que los procedimientos de escalación se realicen de una forma no estandarizada causando confusión entre los encargados de las diferentes áreas del proceso.

## 5. CAPITULO V. Solución Propuesta

En este capítulo se presenta el desarrollo de la solución conformado por la descripción del marco de trabajo que se utilizará para la escalación de señales del modelo DPMBucketer utilizado por la compañía. Luego se describe el procedimiento de la implementación y se finaliza con las pruebas y los resultados de la aplicación de la experiencia controlada, en el contexto de una escalación de un grupo de señales.

### 5.1. Desarrollo de la solución.

En este apartado se presenta la descripción del marco de trabajo propuesto, los objetivos, los flujogramas, los instrumentos y las restricciones.

#### Descripción

El marco de trabajo es el principal resultado de la investigación, comprende los diferentes procesos de escalación que se deben realizar cuando se detecta una señal anormal hacia alguna área específica según los resultados generados por el modelo de IA.

El marco de trabajo se basará en los RFC descritos en la sección de Instrumentos metodológicos relacionados con procedimientos de escalación actuales para definir los nuevos procedimientos de escalación según las señales detectadas por el modelo de IA. Esto incorpora elementos tales como una guía de paso a paso sobre qué acciones ejecutar, roles, responsabilidades y tiempo de respuesta esperado según el área y tipo de defecto detectado.

#### Objetivo

El objetivo de la solución es presentar un marco de trabajo basado en la predicción de un modelo de IA que permita agilizar la implementación de acciones preventivas y correctivas en el proceso para reducir el número de procesadores defectuosos detectados en la etapa de validación.

#### 5.1.3. Pasos a realizar

La propuesta de solución para la ejecución del marco de trabajo se compone de cuatro fases:

1. Validación
2. Análisis
3. Disposición
4. Retrospectiva

A continuación, se presentan los pasos para cada una de las cuatro fases, comienza detallando los instrumentos a utilizar y luego los pasos a desarrollar.

## Fase 1: Validación

El encargado del área de DPM corre el modelo DPMBucketer entre el rango de semanas deseados con el fin de identificar los defectos que están contribuyendo al DPM.

Posteriormente el ingeniero realiza una solicitud para correr el modelo IA para el grupo de procesadores que se desea investigar. En caso que el analista encuentre una señal de interés en uno o varios procesos previos, entonces se debe ejecutar el proceso de validación descrito en el instrumento Platform Validation Test Requirements & DPM Metrology Specification

La señal puede consistir en la detección de un número de fallas anormal en alguna área previa en el rango de tiempo cuando corrieron las unidades afectadas o bien la medición de algún parámetro eléctrico se comporta de manera inesperada. Por lo tanto, es necesario identificar procesadores cuestionables que, aunque hayan pasado originalmente la prueba del área o PPV, podrían fallar en un tiempo cercano.

El criterio de selección de los procesadores cuestionables es:

- Hayan pasado originalmente la prueba del área
- Hayan pasado originalmente PPV
- En el caso de fallas anormales, pertenecer al rango de +/- 3 lotes respecto al de las unidades afectadas.
- En el caso del parámetro eléctrico, que pertenezcan a la población con mediciones anormales.

Si ambas validaciones confirman defectos reales, entonces se debe continuar con la siguiente fase, en caso contrario, solo se debe notificar a los analistas del modelo que la señal fue inválida. Esta retroalimentación es crucial para promover mejoras en las predicciones del modelo.

En Figura 5.1. Fase de se visualiza gráficamente el proceso de esta fase que se encuentra incluido en la propuesta de la nueva especificación.

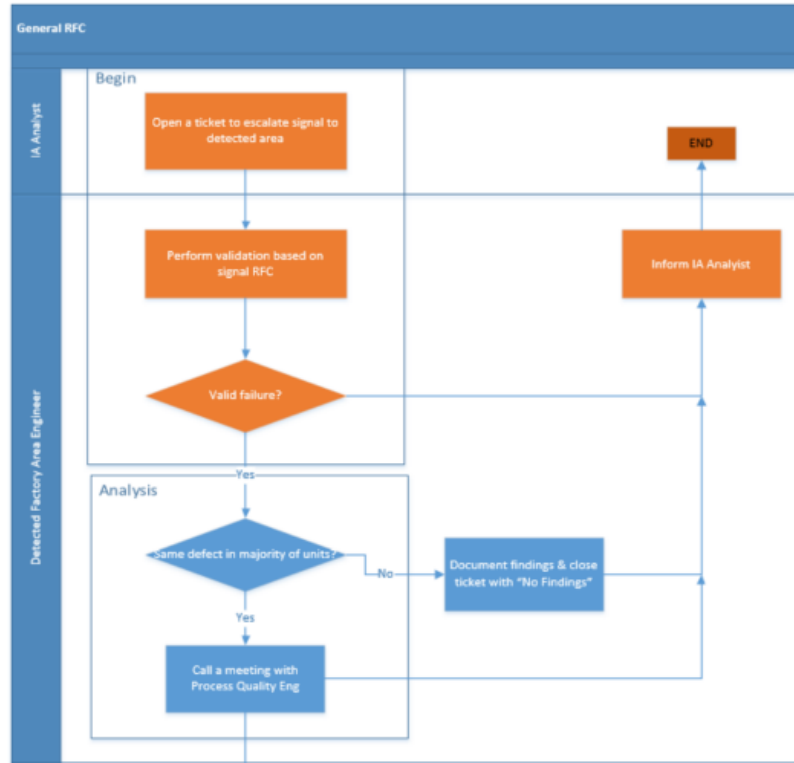


Figura 5.1. Fase de Validación (Elaboración propia)

A continuación, se muestra la validación propuesta para los procesadores cuestionables según el áreas y modos de falla basado en los instrumentos metodológicos revisados en la sección: Instrumentos metodológicos relacionados con procedimientos de escalación actuales.

Fab

Tabla 18 Validación para el área de Fab

Modo de falla	Descripción	Método de Validación	Riesgo para DPM
Funcional	Defecto funcional del procesador	Sort,Class	Alto
Open	Defecto eléctrico causado por el proceso	Sort,Class	Medio
Short	Defecto eléctrico causado por el proceso	Sort,Class	Medio
Termo	Daño en los diodos de temperatura	Sort,Class	Medio

Fuente: Elaboración propia

## Sort

Tabla 19 Validación para el área de Sort

Modo de falla	Descripción	Método de Validación	Riesgo para DPM
Open	Defecto eléctrico causado por pico de corriente	Sort, Class	Medio
Short	Defecto eléctrico causado por pico de corriente	Sort, Class	Medio
Termo	Daño en los diodos de temperatura	Sort, Class	Medio
MI01	Defecto visual-mecánico en el exterior del procesador	Inspección visual	Bajo
MI04	Daño en componentes externos	Inspección visual	Bajo

Fuente: Elaboración propia

## Ensamble

Tabla 20 Validación para el área de Ensamble

Modo de falla	Descripción	Método de Validación	Riesgo para DPM
MI02	Defecto visual-mecánico sobre el procesador	Visual, Class	Medio
MI03	Defecto visual-mecánico en el interior del paquete	Visual, Class	Medio
Termo	Daño en los disipadores de temperatura del cobertor	Visual, Class	Medio
MI05	Defectos en las conexiones entre procesador y paquete	Inspección visual	Medio
MI01	Defecto visual-mecánico en el exterior del paquete	Inspección visual	Bajo
MI04	Daño en componentes externos	Inspección visual	Bajo

Fuente: Elaboración propia

## Class

Tabla 21 Validación para el área de Class

Modo de falla	Descripción	Método de Validación	Riesgo para DPM
S930	Abulladura en los pines externos	Inspección visual	Alto
Open	Defecto eléctrico causado por pico de corriente	Class	Medio
Short	Defecto eléctrico causado por pico de corriente	Class	Medio
Termo	Daño en los disipadores de temperatura del cobertor	Class	Medio
MI01	Defecto visual-mecánico en el exterior del paquete	Inspección visual	Bajo
MI04	Daño en componentes externos	Inspección visual	Bajo

Fuente: Elaboración propia

## PPV

Tabla 22 Validación para el área de PPV

Modo de falla	Descripción	Método de Validación	Riesgo para DPM
S930	Abulladura en los pines externos	Inspección visual	Alto
Open	Defecto eléctrico causado por pico de corriente	PPV	Alto
Short	Defecto eléctrico causado por pico de corriente	PPV	Alto
Termo	Daño en los disipadores de temperatura del cobertor	PPV	Medio
MI01	Defecto visual-mecánico en el exterior del paquete	Inspección visual	Bajo
MI04	Daño en componentes externos	Inspección visual	Bajo

**Fuente:** Elaboración propia

## DPM

Adicionalmente, para las unidades afectadas y cuestionables Seguir el procedimiento estándar descrito en el instrumento de la sección Platform Validation Test Requirements & DPM Metrology Specification.

### Fase 2: Análisis

En esta fase se debe determinar si los defectos detectados en ambas validaciones son los mismos.

Basado en la revisión de los instrumentos metodológicos y las entrevistas realizadas a los ingenieros de cada área, si no se detecta una señal de comunalidad de defecto, entonces el riesgo es bajo y se sugiere no realizar ninguna acción.

En caso de que se detecte una comunalidad de defecto, entonces el ingeniero del área debe realizar la escalación al ingeniero de calidad del proceso. Se debe hacer una reunión que involucre a los principales interesados (Ingenieros del área o proceso en particular, Ingeniero de Calidad, Supervisores de Manufactura, etc) para discutir acerca del potencial evento de calidad.

El objetivo principal de la reunión es entender porque esos defectos no se capturaron en alguna operación de prueba anterior y si pudiera haber procesadores que pasaron las pruebas pero que realmente tienen un defecto que podría ocasionar una falla temprana o de menor desempeño en el lado del cliente. Dado al potencial riesgo, es recomendable que el Ingeniero de Calidad maneje la situación y los Ingenieros de las Áreas puedan enfocarse en los procesos de validación y experimentación.

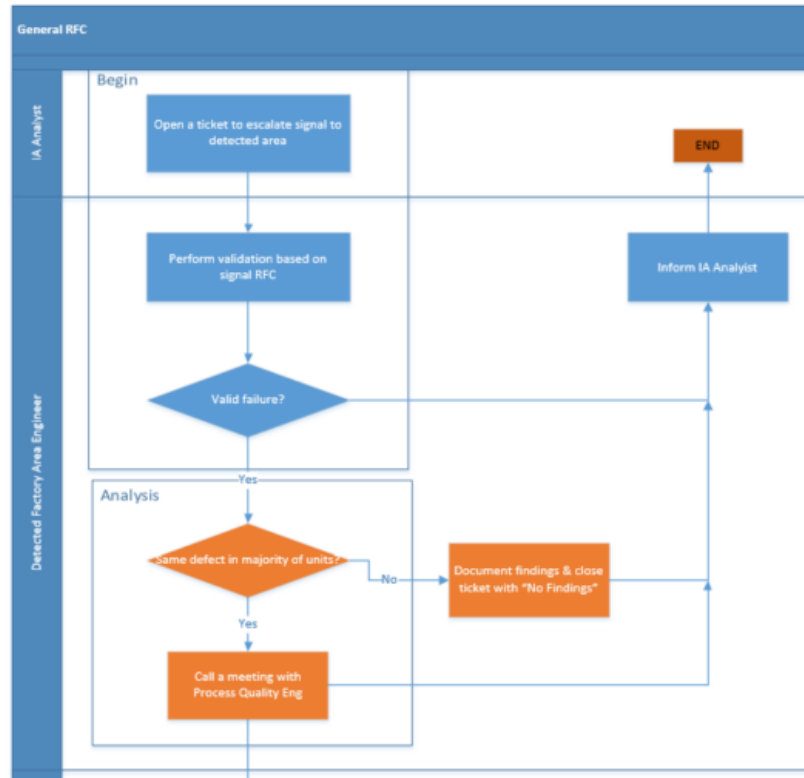


Figura 5.2 Fase de Análisis (Elaboración propia)

### Fase 3: Disposición

Esta fase tiene como propósito ejecutar las acciones definidas en las reuniones de escalación (podría ser la primera o varias), la definición del riesgo y la disposición del potencial material afectado.



Figura 5.3 Fase de Disposición (Elaboración propia)

A continuación, se muestra el proceso de disposición recomendado según el modo de falla detectado.

## Modo de falla Thermo

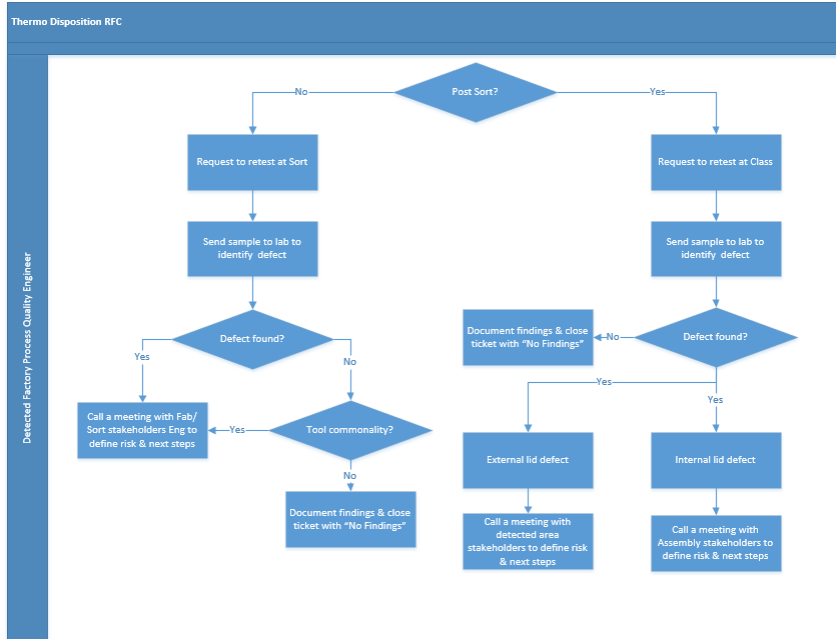


Figura 5.4 Disposición falla Thermo (Elaboración propia)

## Modo de falla Short/Open

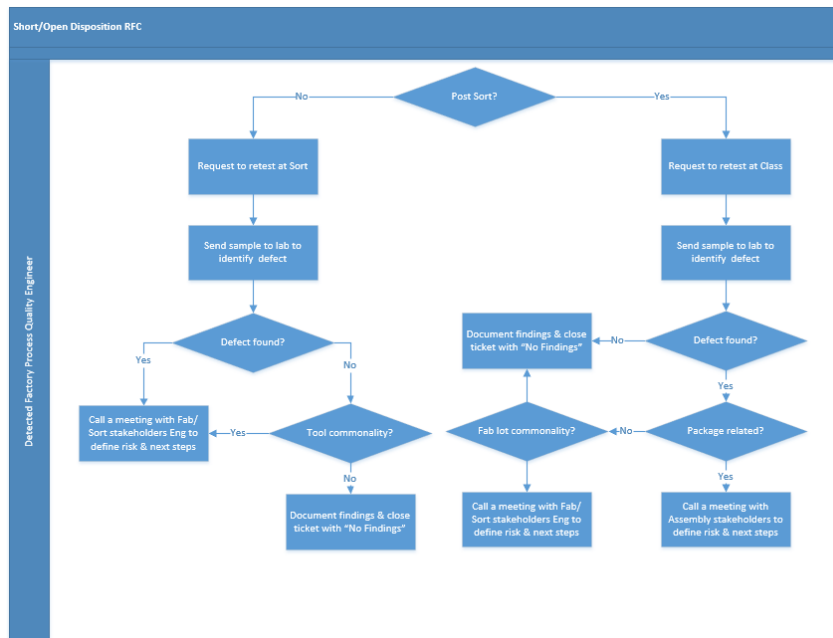


Figura 5.5 Disposición falla Short/Open (Elaboración propia)

## Modo de falla S930

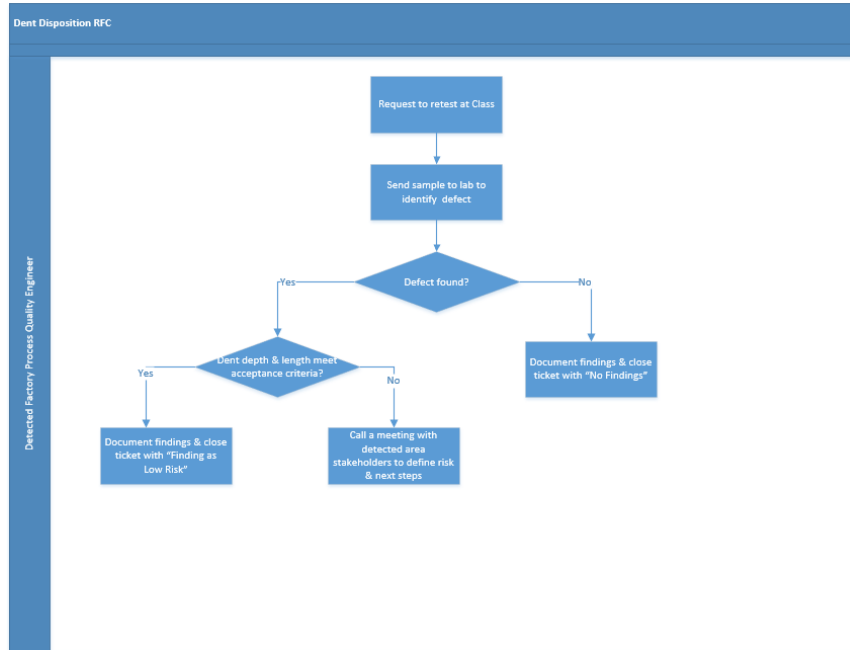


Figura 5.6 Disposición falla S930 (Elaboración propia)

## Modo de falla MI02/MI03

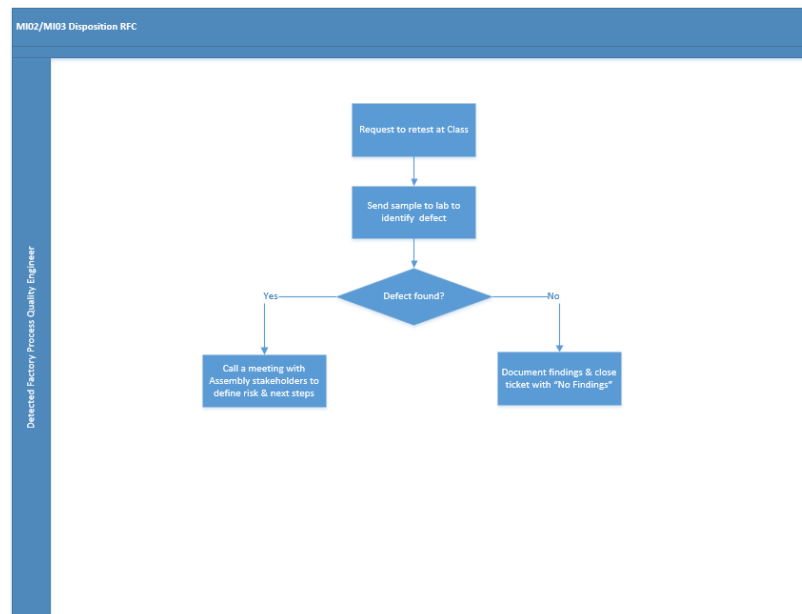


Figura 5.7 Modo de falla MI02/MI03 (Elaboración propia)

## Modo de falla Funcional

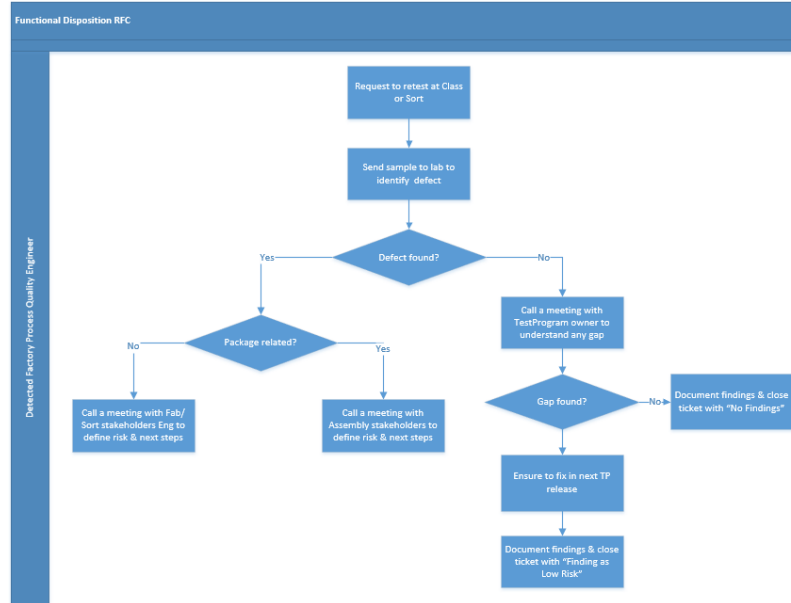


Figura 5.8 Modo de falla Funcional (Elaboración propia)

## Fase 4: Retrospectiva

En esta fase se debe realizar un análisis de causa raíz de que fue lo que produjo el o los modos de falla, definir las acciones correctivas, preventivas y la proliferación de los aprendizajes a otras áreas que tengan un riesgo similar. Para esta fase es fundamental que los principales ingenieros del área y calidad estén presentes en la discusión.

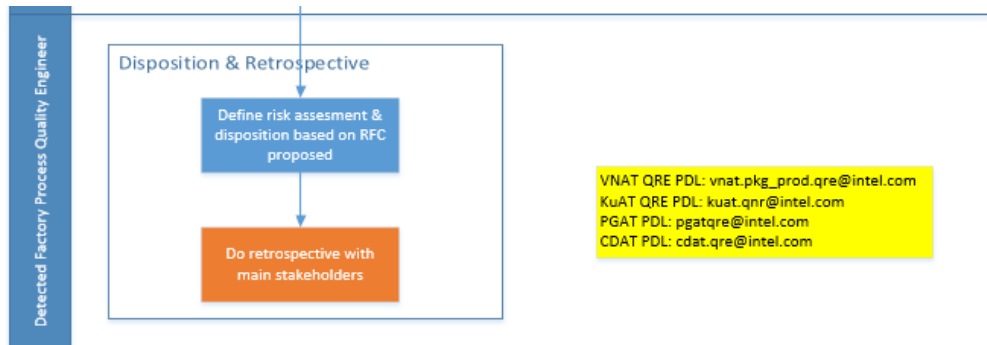


Figura 5.9 Fase de Retrospectiva (Elaboración propia)

## Roles y responsabilidades

Tabla 23 Roles y Responsabilidades

<b>Lead Spec Owner</b>	Proliferación de los procesos de escalación Evaluar cambios de los RFCs
<b>Product / Package Quality and Reliability Engineer (PQRE)</b>	Revisar y aprobar disposiciones Coordinar reuniones de seguimiento de las acciones
<b>Test QET</b>	Revisar y aprobar nuevos RFCs
<b>Process Engineer</b>	Iniciar el pre-trabajo y escalación a los Ingenieros de Calidad Realizar el proceso de validación y/o experimentos
<b>Escalator Engineer</b>	Realizar la solicitud para correr el modelo IA para grupo de procesadores en particular
<b>IA Analyst</b>	Ejecutar el modelo según la solicitud de Ingeniería Realizar escalaciones en caso de ser necesario

**Fuente:** Elaboración propia

### 5.1.4. Instrumentos metodológicos

El instrumento metodológico que se presenta a continuación se basa en la metodología que utilizaba la compañía a la fecha del desarrollo de la técnica (Octubre del 2022). Se tomaron en cuenta los aspectos relevantes de los instrumentos revisados en el Capítulo IV y las sugerencias que fueron señaladas por los ingenieros de las áreas y analistas durante las entrevistas y grupos focales.

El nombre del nuevo instrumento propuesto es: IA DPM Escalation Methodology Rev 0, donde "0" es el consecutivo que indica la versión del documento actual.

### 5.1.5. Restricciones

Las restricciones son aquellos aspectos que limitan el alcance de la aplicación del maco de trabajo, los cuales se describen a continuación.

- En la nueva especificación se sugieren flujos de validación y disposición basados en las prácticas usuales, sin embargo, en caso de que el Ingeniero de Calidad considere que es necesario abrir un evento de calidad, entonces las acciones definidas en el evento tienen prioridad sobre las acciones recomendadas en este documento.
- El documento menciona que si los modos de fallas detectados en uno o varios procesos anteriores son diferentes a los fallos del grupo de procesadores de interés entonces el riesgo es bajo, sin embargo, si el Ingeniero que solicita el análisis considera que podría representar un riesgo alto, entonces se debe consultar con el Ingeniero de Calidad para definir las siguientes acciones.
- Los procesos de disposición y validación definidos en los instrumentos revisados en la sección Instrumentos metodológicos relacionados con procedimientos de escalación actuales tienen prioridad sobre los definidos en este documento.

La solución propuesta pretende representar los pasos a seguir inicialmente mediante un flujo general representando cada una de las cuatro fases de ejecución. Posteriormente, se representan los diferentes flujos de validación y disposición, de manera que la persona interesada en aplicar el marco de trabajo tenga claridad de los procedimientos y posibles escenarios de la investigación.

## 5.2. Procedimiento de implementación

### Fase: Validación

El encargado del área de DPM corre el modelo DPMBucketer entre el rango de semanas deseados con el fin de identificar los defectos que están contribuyendo al DPM. Posteriormente se selecciona el defecto que se desea investigar y se les solicita por medio de un correo electrónico a los analistas de IA correr el modelo para las unidades afectadas con el objetivo de detectar alguna señal anormal durante el proceso de manufactura para esas unidades.

Seguidamente se debe realizar el proceso de validación para las unidades afectadas que se describe en el instrumento metodológico Platform Validation Test Requirements & DPM Metrology Specification.

En caso de que los analistas encuentren alguna señal anormal en alguna área, entonces se debe seguir el proceso propuesto para la fase de validación para las unidades potencialmente cuestionables que aun estén disponibles en el proceso de manufactura o bodega.

El criterio de selección de los procesadores cuestionables es:

- Hayan pasado originalmente la prueba del área
- Hayan pasado originalmente PPV
- En el caso de fallas anormales, pertenecer al rango de +/- 3 lotes respecto al de las unidades afectadas.
- En el caso del parámetro eléctrico, que pertenezcan a la población con mediciones anormales.

### Fase: Análisis

El ingeniero de DPM debe supervisar que se realice la correlación entre los resultados obtenidos de la validación de la de las unidades afectadas y cuestionables. Posteriormente debe agendar una reunión que debe tener asistencia obligatoria de al menos un Ingeniero de Calidad (Producto o Proceso), un Ingeniero de la posible área afectada y los encargados del proceso de validación. El objetivo de la reunión es revisar los datos y seleccionar el plan de acción según los flujos propuestos para la fase de “Disposición”.

### Fase: Disposición

Se debe ejecutar el plan de acción definido en la fase de “Análisis”. En caso de que en la reunión anterior se decida que se debe abrir un evento de calidad debido a la complejidad del problema, entonces se debe ejecutar el nuevo flujo de disposición definido en la primera reunión del evento.

### Fase: Retrospectiva

El ingeniero de DPM debe realizar una reunión con al menos un ingeniero del área impactada, un ingeniero de calidad, un encargado de validación y un analista de IA para definir las acciones correctivas y preventivas de la señal y además evaluar la eficiencia del detección del modelo de IA.

## 5.3. Pruebas y resultados

El marco de trabajo se aplicó en un proyecto interno de la compañía para reducir el DPM visto durante el proceso de certificación de un producto de servidor llamado SPR.

Para aplicarlo, en primera instancia, se dio a conocer a la compañía los instrumentos propuestos y en una reunión se explicó el flujo del proceso a seguir. Posteriormente, se llevó a cabo un entrenamiento para dar a conocer la metodología y preparar al equipo para la ejecución con una experiencia controlada llamada “UPI-UNCORE DPM Reduction Task Force”.

El entrenamiento tuvo como objetivo homogenizar conceptos generales del proceso, DPM y procesos de escalaciones existentes, pues los integrantes del equipo de trabajo tienen distintos niveles de conocimiento; el entrenamiento fue una mezcla entre magistral y práctico.

Adicionalmente, la intención del entrenamiento fue capacitar a los involucrados en la implementación del marco propuesto, así como describir el proyecto a realizar en su alcance, costo, duración, calidad, comunicación y recursos humanos.

Seguidamente se describen los resultados obtenidos en cada una de las fases de implementación:

### 5.3.1. Fase Validación

Inicialmente se realizaron dos entrenamientos de dos horas con los participantes de la experiencia controlada UPI/UNCORE DPM Reduction Task Force. Los participantes fueron:

- 2 Ingenieros del área de DPM
- 1 Ingeniero de Calidad del Proceso
- 1 Analista de IA
- 1 Product Owner de la experiencia

El entrenamiento tuvo el objetivo dar a conocer el marco de trabajo propuesto y preparar a los participantes para el inicio de la experiencia controlada. El material académico utilizado en el entrenamiento fue facilitado a la compañía para que lo utilizaran en futuros entrenamientos de esta metodología, el mismo se puede observar en el Anexo 1.

Luego de realizar el entrenamiento se entregó formalmente el marco de trabajo a los ingenieros a cargo de la experiencia controlada para iniciar su ejecución.

En esta fase el encargado del área de DPM corrió el modelo DPMBucketer entre semana 38'2022 y 38'2022 con el fin de determinar los defectos que estaban contribuyendo al DPM. Seguidamente, se les solicitó a los analistas de IA correr el modelo para tratar de encontrar alguna señal anormal en el área del proceso de manufactura para los procesadores afectados en "UPI/UNCORE", pues su DPM estaba más alto de lo esperado.

Dado que estas unidades fueron fallos del área de PPV, entonces los ingenieros del área de DPM colaboraron con la planeación y ejecución del proceso de validación que se describe en el instrumento metodológico Platform Validation Test Requirements & DPM Metrology Specification.

Adicionalmente, se logró identificar unidades cuestionables que habían pasado originalmente el proceso de PPV pero que podían representar un riesgo, por lo tanto, también se realizó una revalidación a una muestra de unidades.

Dado que el producto seleccionado se encontraba en proceso de certificación al momento de generar el reporte, es esperado que el Outgoing DPM se muestre alto en comparación a la meta de 500 DPM que se espera cuando se certifica un producto de servidor. Por lo tanto, es necesario encontrar la causa raíz de cada uno de los defectos que están contribuyendo al DPM. Para efectos de la experiencia controlada, se seleccionaron el tipo de defecto que afecta UPI/UNCORE para ejercitar el marco de trabajo.

Se puede observar que en UPI se detectaron 33 unidades en una muestra de 14k lo que representa un Incoming DPM de 2.4k, mientras que lo esperado debería ser menor a 1k DPM basado en números de productos anteriores que tienen el mismo diseño en esta sección del procesador.

Por otro lado, en el caso de UNCORE se detectaron 342 unidades en una muestra de 14k lo que representa un Incoming DPM de 25K, mientras que lo esperado debería ser menor a 2k basado en proyecciones realizadas anteriormente.

Tabla 24 Resumen de DPM de SPR en el rango de WW38'22 a WW48'22

Type	#Count	Incoming DPM	Outgoing DPM (Goal: 500)
<b>Random</b>	<b>885</b>	<b>66548</b>	<b>4326</b>
BOOT	39	3467	225
CORE.ARRAY	48	3216	209
CORE.LOGIC	37	2593	169
CORE.POISON	34	3199	208
CPM2	3	144	9
CXL	2	271	18
DRAGON	86	6295	409
MDF	50	3964	258
MRC	40	2728	177
NON-SDE_SHC	65	5490	357
OTHER	37	2651	172
PCIE	22	1293	84
PYTHON.GENERAL	2	170	11
<b>UNCORE</b>	<b>342</b>	<b>25718</b>	<b>1672</b>
<b>UPI</b>	<b>33</b>	<b>2395</b>	<b>156</b>
DRAGON_SDE	44	2833	184
DRAGON.SDE	1	122	8

Fuente: Elaboración propia

Seguidamente se procedió a realizar la validación de las unidades afectadas: 342 en UNCORE y 33 en UPI. Este proceso consistió en retestear estas unidades a través de la prueba de PPV cuatro veces y por Class dos veces con el objetivo de confirmar la falla y clasificar el tipo de fallo según el diagrama de Figura 5.10.

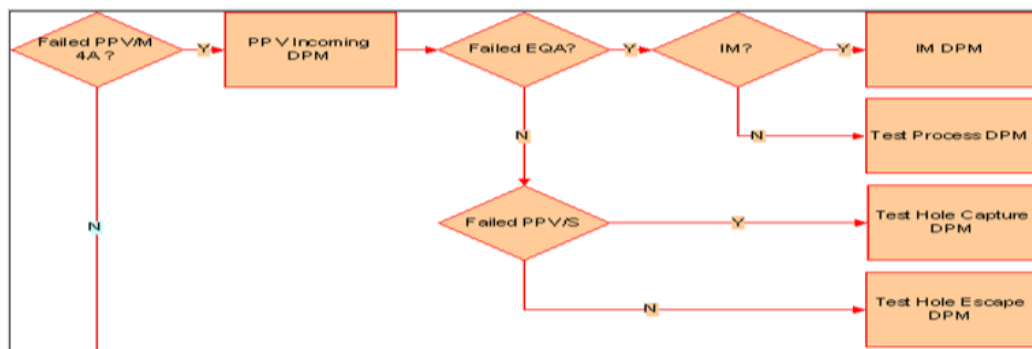


Figura 5.10 Flujo de validación de PPV (Elaboración propia)

Los resultados de la validación se muestran a continuación:

Tabla 25 Resultados de la validación

Tipo	UNCORE	UPI
IM (Fail Class)	0	1
Tentative Valid failure (Not enough data)	15	0
Valid failure	286	22
Unrelated (New failure)	8	0
PPV Good (Recovered)	33	10

Fuente: Elaboración propia

La mayoría de las unidades volvieron a fallar en la prueba de PPV (Valid failure) entonces los ingenieros del área de DPM solicitaron a los analistas de IA correr nuevamente el modelo para todas las unidades afectadas originalmente para determinar alguna señal en común hacia alguna área de proceso de manufactura o de algún parámetro eléctrico medido en las pruebas de Sort o Class.

## UNCORE

El modelo obtuvo una correlación con un parámetro eléctrico llamado MDFSH2\_OSC2109, el cual tiene una relación directa con el proceso de fabricación del procesador.

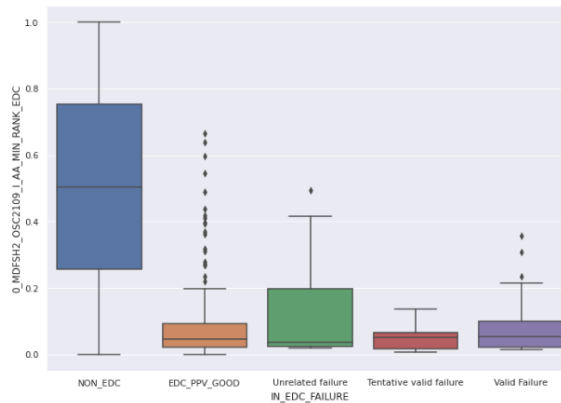


Figura 5.11 Impacto de UNCORE según el parámetro MDFSH2\_OSC2109 (Elaboración propia)

Después de una revisión de los datos del modelo se determinó que existe material que pasó la prueba de PPV inicialmente pero que se encuentra en el rango de medición de las unidades que presentaron este fallo en UPI. Esto implica que estas unidades podrían tener algún defecto, pero pasaron marginalmente, tal como se muestra en la siguiente imagen.

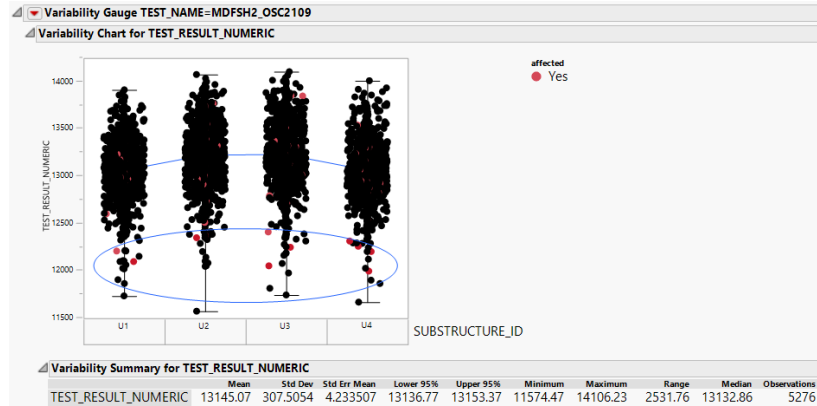


Figura 5.12 Distribución de MDFSH2 en una muestra de 5K (Elaboración propia)

El siguiente paso fue realizar una validación de una muestra de unidades cuestionables que pasaron originalmente por PPV, con el objetivo de verificar si las unidades vuelven a pasar o bien muestran fallos intermitentes, los resultados se muestran en Tabla 26 Revalidación de unidades marginales.

Tabla 26 Revalidación de unidades marginales según parámetro MDFSH2

VID	PPV 1X	PPV 2X	PPV 3X	PPV 4X
729G2N8100554	Paso	Paso	Paso	Paso
729G2N8100776	Paso	Paso	Paso	Paso
729G2N8100191	Paso	Paso	Paso	Paso
729G2N8100743	Paso	Paso	Paso	Paso
729G2N8100137	Paso	Paso	Paso	Paso
72163BE100149	Paso	Paso	Paso	Paso
72163BE100145	Paso	Paso	Paso	Paso
729G2N8100551	Paso	Paso	Paso	Paso
72CH979700422	Paso	Paso	Paso	Paso
72CH979700422	Paso	Paso	Paso	Paso
72CH979700198	Paso	Fallo	Fallo	Paso
72CH979700381	Paso	Fallo	Paso	Paso
72CH979700382	Paso	Fallo	Paso	Paso
72CH979700424	Paso	Fallo	Paso	Paso
72CH979700193	Fallo	Fallo	Paso	Paso
72CH979700389	Fallo	Fallo	Paso	Paso
72CH979700381	Fallo	Paso	Paso	Paso
72CH979700198	Fallo	Fallo	Fallo	Fallo
72CH979700193	Fallo	Fallo	Fallo	Fallo
72CH979700536	Fallo	Fallo	Fallo	Fallo

Fuente: Elaboración propia

## UPI

En el caso de UPI, el modelo detectó que todas las unidades afectadas pasaron por la misma máquina cuando se probaron en Class, tal como se muestra en Tabla 27 Distribución de fallos en UPI según la máquina en Class entre WW38'22-WW48'22.

Tabla 27 Distribución de fallos en UPI según la máquina en Class entre WW38'22-WW48'22

Area	Class			
	HVX101	HVX102	HVX103	HVX104
Máquina				
Volumen	42422	26765	98509	61111
Unidades afectadas	1	29	2	1
%Afectadas	0.00%	0.11%	0.00%	0.00%

Fuente: Elaboración propia

Similar al caso anterior, se determinó que existe material que pasó la prueba de Class a través de esa máquina en el periodo de tiempo cuando se procesaron las unidades afectadas. Esto implica que este material también podría tener algún daño causado por algún evento en la máquina.

Se obtuvo un histórico del rendimiento individual de las celdas de la máquina HVX102 y se correlacionaron con los fallos en UPI. Los resultados arrojaron que el 100% de los fallos se procesaron a través de la celda Cell03. Además, es la celda que muestra el peor rendimiento, teniendo un 95% vrs 99% de las restantes. El resumen de los resultados se muestra a continuación en Tabla 28 Rendimiento de la máquina HVX102 de Class entre WW38'22-WW48'22.

Tabla 28 Rendimiento de la máquina HVX102 de Class entre WW38'22-WW48'22

Máquina	HVX102					
	Cell01	Cell02	Cell03	Cell04	Cell05	Cell06
Celda						
Volumen Total	3650	4900	2400	6002	4312	5501
Unidades Buenas	3632	4895	2278	5976	4301	5456
Rendimiento	100%	100%	95%	100%	100%	99%
Fallaron UPI	0	0	29	0	0	0

Fuente: Elaboración propia

Se procedió a realizar una revalidación de PPV con una muestra de unidades cuestionables que pasaron originalmente Class a través de la máquina HVX102 y celda Cell03 y que también habían pasado PPV, con el objetivo de verificar si las unidades vuelven a pasar o bien muestran fallos intermitentes, los resultados se muestran en Tabla 29 Revalidación de unidades que pasaron a través de la celda Cell03 de HVX102.

Tabla 29 Revalidación de unidades que pasaron a través de la celda Cell03 de HVX102 y PPV

VID	PPV 1X	PPV 2X	PPV 3X	PPV 4X
72QR231401052	Paso	Paso	Paso	Paso
72EA576800845	Paso	Paso	Paso	Paso
72Q27G9901001	Paso	Paso	Paso	Paso
72Q27G9900831	Paso	Paso	Paso	Paso
72HD445800813	Paso	Paso	Paso	Paso
72GM610600849	Paso	Paso	Paso	Paso
72GM610600757	Paso	Paso	Paso	Paso
72GM610600723	Paso	Paso	Paso	Paso
72GM610600752	Paso	Paso	Paso	Paso
72EA576800513	Paso	Paso	Paso	Paso
72K18U1300413	Paso	Paso	Fallo	Paso
72HD883100305	Paso	Paso	Paso	Paso
721Q5Q8600410	Paso	Paso	Paso	Fallo
721Q5Q8600064	Paso	Paso	Paso	Paso
72K18U1301063	Paso	Paso	Fallo	Paso
72K18U1300443	Paso	Paso	Paso	Paso
72NL335200456	Paso	Paso	Paso	Paso
72QR231400428	Paso	Fallo	Fallo	Fallo
72LW181800402	Paso	Fallo	Fallo	Fallo
72WV730500150	Paso	Fallo	Fallo	Fallo

Fuente: Elaboración propia

### Análisis de resultados

Para UNCORE los resultados mostraron que el 50% de las unidades marginales fallaron al menos un 25% de las veces cuando se volvieron a probar. Dada que la correlación fue con un parámetro ligado directamente con la propiedad del material, podrían existir un par de escenarios:

1. Los límites del programa de prueba se encuentran muy tallados, lo que significa que se está desechando material bueno.
2. Existe una marginalidad en algún circuito eléctrico que podría causar fallos intermitentes o bien fallos sólidos antes de cumplir la garantía del producto.

Debido a la falta de claridad acerca de la causa raíz, se procedió con la apertura de un evento de calidad.

Para UPI, los resultados mostraron que el 30% de las unidades, que habían sido buenas originalmente en Class pero que pasaron por la celda afectada, fallaron al menos un 25% de las veces cuando se vuelven a probar. Esto implica que el evento en la celda afectada podría haber ocasionado un daño en las unidades que no pudo ser detectado por las operaciones de prueba posteriores. Por lo que también se procedió a abrir otro evento de calidad para realizar la investigación y disposición respectiva.

### 5.3.2. Fase Análisis

Se procedió a realizar la correlación de los modos de fallas entre las unidades que habían fallado originalmente en PPV por UNCORE/UPI y la muestra de unidades cuestionables que fallaron durante la revalidación para cada caso. El ingeniero de DPM procedió a correr el modelo DPMBucketer para estas unidades con el objetivo de obtener los modos de falla.

Posteriormente, el encargado de DPM, quién es el principal interesado en la investigación, realizó una reunión con los ingenieros de calidad, Ingenieros de las áreas impactadas y mi persona (como interesado de la experiencia controlada, Product Owner) para discutir acerca de los resultados obtenidos de la correlación y definir el plan de acción para cada caso.

### Resultados

#### UNCORE

En la Tabla 30 Modos de falla obtenidos durante la revalidación de unidades cuestionables para UNCORE se muestran los resultados obtenidos para el caso relacionado a UNCORE:

Tabla 30 Modos de falla obtenidos durante la revalidación de unidades cuestionables para UNCORE

VID	Orig de Prod	Modo de Falla en Revalidación			
	PPV 1X	PPV 1X	PPV 2X	PPV 3X	PPV 4X
72CH979700198	Paso	Paso	UNCORE	Other	Paso
72CH979700381	Paso	Paso	UNCORE	Paso	Paso
72CH979700382	Paso	Paso	Other	Paso	Paso
72CH979700424	Paso	Paso	UNCORE	Paso	Paso
72CH979700193	Paso	Other	UNCORE	Paso	Paso
72CH979700389	Paso	UNCORE	other	Paso	Paso
72CH979700381	Paso	Other	Paso	Paso	Paso
72CH979700198	Paso	UNCORE	UNCORE	Fallo	Fallo
72CH979700193	Paso	Fallo	UNCORE	UNCORE	Fallo
72CH979700536	Paso	Fallo	Fallo	Fallo	UNCORE

Fuente: Elaboración propia

Los resultados mostraron que el 80% las unidades fallaron en UNCORE al menos 1 vez durante la revalidación. Esta correlación confirmó que existía un potencial riesgo que se hubieran vendido unidades inestables al cliente.

A continuación, el ingeniero de DPM procedió a realizar una reunión inicial como parte del proceso regular cuando se abre un evento de calidad para definir el plan de acción.

La reunión se efectuó el 2 de diciembre 2022. Los participantes la reunión del caso UNCORE:

- 2 Ingenieros del área de DPM
- 1 Ingeniero de Calidad del Proceso
- 1 Ingeniero de Calidad del Producto
- 1 Ingeniero del área de Fab
- 1 Product Owner de la experiencia

A continuación, se detalla el plan de acción definido en la reunión anterior:

Tabla 31 Plan de acción para el caso UNCORE

<b>Acción</b>	<b>Objetivo</b>	<b>ETA</b>
Ejecutar prueba de Class (3X) para la muestra de 20 unidades	Determinar el estado actual según Class	5 Dic 2022
Ejecutar prueba de Estrés para la muestra de 20 unidades	Acelerar posibles defectos tempraneros	6 Dic 2022
Ejecutar prueba de Class (3X) para la muestra de 20 unidades	Detectar unidades con potenciales defectos tempraneros	8 Dic 2022
Ejecutar prueba de PPV (3X) para la muestra de 20 unidades	Detectar unidades con potenciales defectos tempraneros	10 Dic 2022
Enviar 3 unidades que fallaron Orig PPV al Laboratorio	Determinar si existe un defecto real en el silicio	12 Dic 2022
Enviar 3 unidades cuestionables que fallaron en la revalidación de PPV al Laboratorio	Determinar si existe un defecto real en el silicio	12 Dic 2022
Revisar limites en la prueba de Class/PPV	Determinar si los límites se encuentran muy ajustados	5 Dic 2022

**Fuente:** Elaboración propia

## UPI

Asimismo, para el caso de UPI se realizó un proceso similar al anterior, los resultados se muestran en la Tabla 32 Modos de falla obtenidos durante la revalidación de unidades cuestionables para UPI.

Tabla 32 Modos de falla obtenidos durante la revalidación de unidades cuestionables para UPI

VID	Orig de Prod	Modo de Falla en Revalidación			
	PPV 1X	PPV 1X	PPV 2X	PPV 3X	PPV 4X
72K18U1300413	Paso	Paso	Paso	UPI	Paso
72HD883100305	Paso	Paso	Paso	Paso	Paso
721Q5Q8600410	Paso	Paso	Paso	Paso	UPI
721Q5Q8600064	Paso	Paso	Paso	Paso	Paso
72K18U1301063	Paso	Paso	Paso	UPI	Paso
72QR231400428	Paso	Paso	UPI	UPI	UPI
72LW181800402	Paso	Paso	UPI	Other	UPI
72WV730500150	Paso	Paso	UPI	UPI	UPI

**Fuente:** Elaboración propia

Los resultados mostraron que el 100% unidades fallaron en UPI. Esta correlación confirmó que existía un potencial riesgo que se hubieran vendido unidades inestables al cliente.

Es importante aclarar que el DPM está asociado a fallos aleatorios propios del proceso de fabricación o manufactura, sin embargo, en los casos anteriores son sistemáticos, por lo tanto, es necesario un evento de calidad que proporcione el riesgo, disposición y siguientes acciones.

A continuación, el ingeniero de DPM procedió a realizar una reunión inicial como parte del proceso regular cuando se abre un evento de calidad para definir el plan de acción.

La reunión se efectuó el 1 de diciembre 2022. Los participantes la reunión del caso UPI:

- 2 Ingenieros del área de DPM
- 1 Ingeniero de Calidad del Proceso
- 1 Ingeniero de Calidad del Producto
- 1 Ingeniero del área de Class
- 1 Product Owner de la experiencia

A continuación, se detalla el plan de acción definido en la reunión anterior:

Tabla 33 Plan de acción para el caso UPI

Acción	Objetivo	ETA
Ejecutar prueba de Class (3X) para la muestra de 20 unidades	Determinar el estado actual según Class	11 Dic 2022
Enviar 3 unidades que fallaron Orig PPV al Laboratorio	Determinar si existe un defecto real en el silicio	12 Dic 2022
Enviar 3 unidades cuestionables que fallaron en la revalidación de PPV al Laboratorio	Determinar si existe un defecto real en el silicio	12 Dic 2022

**Fuente:** Elaboración propia

## Análisis de resultados

En ambos casos se encontró una correlación fuerte entre los modos de falla de las unidades que fallaron originalmente PPV y las unidades que se identificaron como cuestionables que fallaron en la revalidación de PPV. Adicionalmente, se determinó que también existe un potencial riesgo en las unidades que pasaron la revalidación, pues podrían presentar defectos tempraneros visibles al cliente antes de cumplir la vida útil garantizada del producto.

El plan de acción va a permitir definir el riesgo según los resultados del estrés y/o del laboratorio para identificar si existe un defecto real en el silicio.

### 5.3.3. Disposición

Se ejecutó el plan de acción para cada caso, con el objetivo de definir el riesgo y realizar la disposición del material afectado.

Para el primer caso, UNCORE, se seleccionó una muestra del material cuestionable que había pasado la revalidación de PPV para volverla a estresar con el fin de evaluar si las unidades fallaban en Class, seguidamente se mandó al Laboratorio de Análisis de Fallas una muestra de 3 unidades que habían fallado originalmente PPV y 3 unidades cuestionables que fallaron en la revalidación para determinar si había un defecto en el silicio.

Para el segundo caso, UPI, se seleccionó una muestra del material cuestionable que había pasado y fallado la revalidación de PPV para volverla a ejecutar a través de la prueba de Class, seguidamente se mandó al Laboratorio de Análisis de Fallas una muestra de 3 unidades que habían fallado originalmente PPV y 3 unidades cuestionables que fallaron en la revalidación para determinar si había un defecto en el silicio.

Finalmente, el Ingeniero de Producto realizó la disposición del material impactado según el potencial impacto de DPM.

En la Tabla 34 se resumen los resultados del plan de acción para el caso UNCORE, mientras que en la Tabla 35 se muestran para el caso en UPI.

## UNCORE

Tabla 34 Resultados de Plan de Acción para el caso de UNCORE

VID	ReVal PPV	Class después de Estrés			Laboratorio
	PPV 1X	Class 1X	Class 2X	Class 3X	
729G2N8100554	Paso	Paso	Paso	Paso	No defecto
729G2N8100776	Paso	Paso	Paso	Paso	
729G2N8100191	Paso	Paso	Paso	Paso	
729G2N8100743	Paso	Paso	Paso	Paso	
729G2N8100137	Paso	Paso	Paso	Paso	
72163BE100149	Paso	Paso	Paso	Paso	
72163BE100145	Paso	Paso	Paso	Paso	
729G2N8100551	Paso	Paso	Paso	Paso	
72CH979700422	Paso	Paso	Paso	Paso	
72CH979700422	Paso	Paso	Paso	Paso	
72CH979700198	UNCORE	Paso	Paso	Paso	No defecto
72CH979700381	UNCORE	Paso	Fallo	Paso	
72CH979700382	Other	Paso	Paso	Paso	
72CH979700424	UNCORE	Paso	Paso	Paso	
72CH979700193	UNCORE	Paso	Paso	Paso	No defecto
72CH979700389	UNCORE	Paso	Paso	Fallo	
72CH979700381	Other	Paso	Paso	Fallo	
72CH979700198	UNCORE	Paso	Paso	Paso	
72CH979700193	UNCORE	Paso	Paso	Paso	
72CH979700536	UNCORE	Paso	Paso	Paso	

**Fuente:** Elaboración propia

Se puede observar el 85% de las unidades cuestionables pasaron Class después de volverlas a estresar. Mientras que del 15% restante, solo fallaron 1/3 veces que se ejecutaron. Los fallos fueron debidos a un mal contacto de las unidades con el socket del tester, por lo tanto, son fallos inválidos para el caso de este experimento.

Por otro lado, el laboratorio no encontró ningún defecto visible en el producto para las unidades cuestionables que fallaron en la revalidación ni para las unidades que habían fallado originalmente PPV.

Respecto a la acción de revisar los límites en la prueba en Class/PPV, se determinó que, si bien este material se comporta diferente respecto al promedio, está dentro de las variaciones esperadas del área de Fab y representa solo un 10% de todo el material fabricado.

El ingeniero de DPM procedió a realizar otra reunión para revisar estos resultados con los mismos interesados de la reunión anterior.

La reunión se efectuó el 6 de enero 2023. En esta reunión los ingenieros de Calidad Producto y Proceso acordaron que el riesgo es de categoría "Bajo", pues la ausencia de

defecto visible en el silicio confirma que las unidades cuestionables que pasaron PPV inicialmente están saludables. Por lo tanto, se solicitó al Ingeniero del Programa de Pruebas realizar una re-caracterización de los límites basado en un rango más amplio de comportamiento de material.

Finalmente, la decisión de la reunión fue de no realizar ninguna acción con el material cuestionable debido a que no existe riesgo.

## UPI

Tabla 35 Resultados de Plan de Acción para el caso de UPI

VID	ReVal PPV	Class después de Estrés			Laboratorio
	PPV 1X	Class 1X	Class 2X	Class 3X	
72QR231401052	Paso	Paso	Paso	Paso	
72EA576800845	Paso	Paso	Paso	Paso	
72Q27G9901001	Paso	Paso	Paso	Paso	No defecto
72Q27G9900831	Paso	Paso	Paso	Paso	No defecto
72HD445800813	Paso	Paso	Paso	Paso	No defecto
72GM610600849	Paso	Paso	Paso	Paso	
72GM610600757	Paso	Paso	Paso	Paso	
72GM610600723	Paso	Paso	Paso	Paso	
72GM610600752	Paso	Paso	Paso	Paso	
72EA576800513	Paso	Paso	Paso	Paso	
72K18U1300413	UPI	Paso	Paso	Paso	
72HD883100305	Paso	Paso	Paso	Paso	
721Q5Q8600410	UPI	Paso	Paso	Paso	
721Q5Q8600064	Paso	Paso	Paso	Paso	
72K18U1301063	UPI	Paso	Paso	Paso	
72K18U1300443	Paso	Paso	Paso	Paso	
72NL335200456	Paso	Paso	Paso	Paso	
72QR231400428	UPI	Paso	Paso	Paso	
72LW181800402	UPI	Paso	Paso	Paso	
72WV730500150	UPI	Paso	Paso	Paso	

**Fuente:** Elaboración propia

Para UPI se puede observar que el 100% de las unidades cuestionables pasaron la prueba de Class.

Por otro lado, el laboratorio no encontró ningún defecto visible en el producto para las unidades cuestionables que fallaron en la revalidación, sin embargo, si encontraron un defecto en una de las unidades que habían fallado originalmente PPV.

El ingeniero de DPM procedió a realizar otra reunión para revisar estos resultados con los mismos interesados de la reunión anterior.

La reunión se efectuó el 3 de enero 2023. Basado en estos resultados, los ingenieros de Calidad de Producto y Proceso acordaron que el riesgo es de categoría “Medio”, pues si bien no existe un defecto visible en las unidades cuestionables que pasaron PPV

inicialmente, podría existir un defecto no visible en tiempo cero, tal como se observa en la unidad a la que se le encontró un defecto visible que había fallado PPV inicialmente, pero había pasado la prueba de Class.

Basado en este riesgo, el ingeniero de Calidad de Producto fue el encargado de realizar el análisis del potencial impacto DPM visible al cliente. Para ello, utilizó como referencia el volumen descrito en la Tabla 28 que se corrió entre WW38'22 y WW48'22.

El ingeniero de DPM procedió a realizar otra reunión el 6 de enero 2023 para revisar los datos anteriores con los mismos interesados de la reunión anterior.

#### Análisis de DPM

El volumen que se procesó a través de la celda impactada fue de 2400 unidades. Por otro lado, durante la revalidación se observó que aproximadamente un 30% de unidades presentaban un fallo marginal. Adicionalmente, solo se encontró defecto visible en 1/3 de la muestra de unidades que fallaron PPV originalmente pero ningún defecto en las unidades cuestionables. Por lo tanto, para el análisis se consideró el peor caso asumiendo que 1/6 unidades ósea el 15% de unidades cuestionables que pasaron marginalmente PPV la primera vez y que fallaron en la revalidación tenían un defecto visible. Por lo tanto, el número de unidades potencialmente impactadas sería de 45 unidades:

Total impactadas: Unidades Buenas \* % Unidades marginales \* % Unidades con defecto

$$2278 * 30\% * 15\% = 103 \text{ unidades potencialmente impactadas}$$

El volumen que las fábricas trasladaron a bodega durante ese rango de tiempo fue de aproximadamente 228807 unidades basado en Tabla 27, mientras que lo que se vendió fue de aproximadamente 206406 unidades. No obstante, aproximadamente 150000 unidades se vendieron a grupos internos de la compañía, por lo tanto, el volumen que se vendió externamente fue de 55838, el cual contiene 119 unidades cuestionables, pero solo 5 unidades con potencial defecto basado en la fórmula anterior. Esto representa un DPM de 95. Dado que el DPM de este producto estaba en aproximadamente en ~700 con una incertidumbre de 75, entonces el Ingeniero de Calidad de Producto no consideró necesario iniciar una comunicación especial con los clientes respecto a este evento y tomar este impacto como parte del DPM regular del producto.

Rubro	Total Volumen	Total Cuestionable	Total con Defecto	DPM
<b>Total</b>	228807	2278	103	448
<b>Vendido</b>	206406	1219	55	266
<b>Interno</b>	150568	1100	50	329
<b>Externo</b>	55838	119	5	96

Fuente: Elaboración propia

Finalmente, la decisión de la reunión fue de no realizar ninguna acción con el material impactado en bodega, pues el impacto de DPM es estadísticamente insignificante.

#### 5.3.4. Retrospectiva

Se realizó una reunión con el Ingeniero del área impactada, el Ingeniero del área de DPM, Ingenieros de Calidad, Ingenieros de programa de prueba de Sort/Class y mi persona (como interesado de la experiencia controlada) para definir las acciones correctivas y preventivas. La reunión se efectuó el 6 de enero 2023. Los participantes de la reunión de retrospectiva fueron:

- 2 Ingenieros del área de DPM
- 1 Ingeniero de Calidad del Proceso
- 1 Ingeniero de Calidad del Producto
- 1 Analista de IA
- 1 Product Owner de la experiencia

Como parte de la discusión se definieron las acciones correctivas y preventivas para cada uno de los eventos investigados, tal como se detalla a continuación:

#### Evento de UNCORE

Medidas correctivas:

- Redefinir los límites de la prueba de UNCORE en Sort/Class/PPV incluyendo un mayor rango de tipo de material.

#### Evento UPI

Medidas correctivas:

- Arreglar la celda Cell03 de la HVX102

Medidas preventivas:

- Implementar un script que revise periódicamente si algún modo de falla presenta un comportamiento anormal en alguna celda en particular.
- Redefinir los límites de la prueba de UPI en Class/PPV

Seguidamente se discutió acerca de la duración del proceso de investigación de ambas señales y la efectividad del modelo de predicción de IA.

#### Análisis de resultados de la aplicación del marco.

La duración de todo el piloto fue de aproximadamente 5 semanas (~20 días) desde que se realizó la primera reunión (2 de diciembre 2022). En promedio el proceso de una sola investigación de una señal puede llegar a tardar aproximadamente de 15 a 20 días, pues se pierde mucho tiempo en el intercambio de correos con las escalaciones, identificando responsables y definiendo los pasos a seguir. Esto representa una reducción de aproximadamente el 50% del tiempo actual.

En la Tabla 36 Comparación de duración actual vrs estimado se muestra una reducción de 14 a 9.5 días en la duración promedio de una investigación de señal anormal. Es importante destacar que varias de las tareas que se realizan no se pueden ejecutar durante las 8 horas laborales debido a limitaciones de capacidad y prioridades, por lo que si se ocupa realizar un proceso de validación, la fábrica solo va a tener disponible una hora diaria para su ejecución, por lo tanto, si se requieren 10 horas, eso se traduce en 4 o 5 días naturales.

Tabla 36 Comparación de duración actual vrs estimado

Tarea	Duración (días)		Duración (horas)		Cantidad Ingenieros	
	Act	Est	Act	Est	Act	Est
Investigación de señal anormal por parte de DPM	3	2	24	16	3	1
Escalar la señal al area de interés	2	0.5	4	1	1	1
Ejecutar proceso de validación	5	4	11	10	2	2
Ejecutar proceso de correlación	1	1	8	8	1	1
Definir el plan de disposición	2	1	2	1	4	4
Retrospectiva	1	1	1	1	3	3
<b>Total</b>	<b>14</b>	<b>9.5</b>	<b>50</b>	<b>37</b>	<b>14</b>	<b>12</b>

**Fuente:** Elaboración propia

La reducción del número de días conlleva múltiples beneficios, pues permite que los ingenieros puedan trabajar en el análisis de otras señales de interés que quizás quedaron des priorizadas pero que igual contribuyen de alguna medida al DPM semanal.

Respecto a la eficiencia del modelo de predicción del modelo de IA, fue bastante efectivo para el caso de UPI, pues se logró identificar una máquina que estaba trabajando incorrectamente, ocasionando un potencial daño en los procesadores ejecutados en esa máquina. Para el caso de UNCORE, el modelo logró identificar una marginalidad eléctrica, sin embargo, después de la investigación se logró concluir que no existía riesgo. Para este caso, se propuso como punto de mejora para el modelo de IA, el incluir solo los parámetros eléctricos que podrían representar un mayor riesgo con el objetivo de disminuir ruido en los resultados generados. El analista de IA se llevó esta propuesta para discutirla con el resto de su equipo.

En conclusión, el piloto permitió poner en marcha la ejecución del marco de trabajo propuesto, en donde se pudo observar una reducción del tiempo empleado promedio desde la escalación de señales hasta la propuesta de acciones correctivas y preventivas, lo que implica directamente una reducción en los costos de las horas empleadas en la investigación. Por lo tanto, se recomienda el uso y la estandarización interna de esta propuesta para permitir ser proliferada al resto de la población de ingenieros del área de manufactura de servidores.

## 6. Capítulo VI, Análisis financiero del proyecto final de graduación

El presente capítulo detalla el análisis financiero del proyecto de graduación. Este proyecto se visualiza como una inversión, por lo que es necesario incluir un análisis Costo/Beneficio, que permita determinar si es financieramente viable para la organización. Se detallan los costos estimados para desarrollar el proyecto de tesis, así como la definición de los beneficios económicos que se esperan obtener. Para el análisis financiero se realizaron las estimaciones de los beneficios, de los costos y finalmente se calculó el RSI del proyecto de graduación.

### 6.1. Estimación de los costos del proyecto

El costo del proyecto se estimó con base en las cinco semanas de duración del piloto y el tiempo invertido por parte del investigador para recopilar la información necesaria para la definición de los nuevos procedimientos de trabajo. En la Tabla 37 Estimación de costos del proyecto se resumen los detalles del costo del proyecto:

Tabla 37 Estimación de costos del proyecto

Rubro	Duración (días)	Duración (horas)	Cantidad Ingenieros	Costo (\$40)
Piloto	20	30	5	\$6000
Investigación	60	90	1	\$3600

**Fuente:** Elaboración propia

### 6.2. Estimación de los beneficios del proyecto

Para estimar los beneficios se utilizaron dos variables; la de reducir la duración actual de cada investigación y la reducción de pérdidas innecesarias.

En la Tabla 38 Estimación de beneficios se muestra los resultados para la primera variable. La duración actual fue proporcionada por la compañía, mientras que la duración estimada se calculó en base a los resultados del piloto.

Tabla 38 Estimación de beneficios según la duración actual

Tarea	Duración (días)		Duración (horas)		Cantidad Ing		Costo (\$40)	
	Act	Est	Act	Est	Act	Est	Act	Est
Investigación de señal anormal por parte de DPM	3	2	24	16	3	1	\$2880	\$640
Escalar la señal al area de interés	2	0.5	4	1	1	1	\$160	\$40
Ejecutar proceso de validación	5	4	11	10	2	2	\$880	\$800
Ejecutar proceso de correlación	1	1	8	8	1	1	\$320	\$320
Definir el plan de disposición	2	1	2	1	4	4	\$320	\$160
Retrospectiva	1	1	1	1	3	3	\$120	\$120
<b>Total</b>	<b>14</b>	<b>9.5</b>	<b>50</b>	<b>29</b>	<b>14</b>	<b>12</b>	<b>4680</b>	<b>2080</b>

**Fuente:** Elaboración propia

Según la retroalimentación del piloto realizado, se proyecta disminuir la duración entre un 40% - 50% respecto al actual. Con base en las métricas anteriores se estiman los beneficios anuales del proyecto en un monto de \$2600 por cada investigación. En el mejor escenario, se realiza al menos una investigación mensual durante el proceso de calificación.

En la Tabla 39 Estimación de beneficios según reducción de pérdidas Tabla 38 Estimación de beneficios se muestra los resultados para la segunda variable. Los costos de producción y precio de venta fueron proporcionados por la compañía basado en el producto previo. Se puede observar que una vez aplicados las medidas correctivas y preventivas es posible ver ganancias desde \$100,000 hasta \$850,000 por cada caso en una muestra de 14000.

Tabla 39 Estimación de beneficios según reducción de pérdidas

Caso	Volumen	Pérdidas en Producción	Pérdidas por proceso	Impacto en Prod (\$300)	Impacto en venta (3000\$)
UNCORE	14000	342	286	\$ 85,800	\$ 858,000
UPI	14000	33	33	\$ 9,900	\$ 9,900

**Fuente:** Elaboración propia

Es necesario señalar que la proyección de reducción de pérdidas puede variar significativamente entre cada investigación, por lo tanto, no se va a incluir en la estimación de beneficios del proyecto.

### 6.3. Estimación del TIR del proyecto

Para el cálculo del TIR se va a tomar cuenta el costo inicial descrito en Tabla 37 Estimación de costos del proyecto y los beneficios netos descritos en Tabla 38 Estimación de beneficios según la duración actual. Basado en el flujo de caja descrito en Tabla 40 el TIR resultante es 9%, recuperando la inversión inicial en el cuarto mes bajo la premisa de una investigación mensual.

Tabla 40 Flujo de caja del proyecto

Rubro	Inicial	Mes 1	Mes 2	Mes 3	Mes 4
Ingreso Neto	\$(9,600.00)	\$ 2,600.00	\$ 2,600.00	\$2,600.00	\$2,600.00
Ganancia neta		\$(7,000.00)	\$(4,400.00)	\$(1,800.00)	\$800.00

**Fuente:** Elaboración propia

### 6.4. Conclusiones del análisis financiero

Se concluye que los beneficios justifican los costos pues la factibilidad financiera es positiva. Adicionalmente, se deben considerar los beneficios intangibles tales como:

- Reducción de una semana (~5 días) de la duración regular de una investigación
- Estandarización de procedimientos permite enfocar esfuerzos en el análisis

## 7. CAPITULO VII. Conclusiones y recomendaciones

### 7.1. Conclusiones

1. La mayor parte de defectos funcionales sistemáticos vistos en DPM están asociados al área de Fab que no pudieron ser detectados en las áreas de Sort, Class o PPVs. Por otro lado, la mayor parte de los modos de falla ocasionados en las áreas de Ensamble o Prueba, son capaces de ser capturados por alguna área de prueba posterior en el proceso, incluyendo las de inspección visual para encontrar algún defecto cosmético.
2. Los modos de fallas producidos por algún proceso son detectados hasta las áreas de prueba, que en el peor escenario sería detectarlos en PPV con una señal comunal hacia Fab, lo que significa que se puede producir una gran cantidad de material cuestionable antes de detectar alguna señal sistemática, lo cual podría incidir directamente en la métrica de DPM. Por lo tanto, entre más temprano se pueda escalar alguna señal, es posible realizar acciones que permitan mejorar el desempeño del material producido, y con ello reducir el riesgo de tener producto cuestionable en manos del cliente.
3. La compañía ya tiene estandarizados algunos procedimientos especialmente cuando las alarmas son detectadas en tiempo real en alguna área de prueba, mientras que el modelo de IA dispara alarmas de posibles defectos sistemáticos días después de haber sido procesados a través de las áreas de prueba. Sin embargo, para este último no se tienen definidos que procedimientos se deben ejecutar, ni los roles y responsabilidades. Esto conlleva que los procedimientos de escalación se realicen de una forma no estandarizada causando confusión entre los encargados de las diferentes áreas del proceso.
4. Los procedimientos actuales no tienen definido un proceso de retroalimentación cuando se realiza alguna escalación, lo que causa incertidumbre acerca de las acciones realizadas y el posible impacto posterior. Para el caso de las escalaciones relacionadas al modelo de IA, impide que se pueda mejorar la eficacia del modelo, pues se siguen generando señales falsas y un uso de recursos innecesario.
5. Los participantes del piloto calificaron el marco de trabajo como simple de aplicar debido principalmente a la capacitación previa que recibieron y la actitud receptiva de los participantes.
6. Los principales beneficios en el proceso de implementación del marco de trabajo fue la reducción de una semana (~5 días) de la duración regular de una investigación, lo cual va a permitir enfocar esfuerzos en el análisis y mejora continua.
7. La reducción de pérdidas de material puede variar significativamente entre cada investigación, sin embargo, más allá del beneficio económico, las acciones correctivas oportunas permiten aumentar la credibilidad en la salud del producto que se vende.

## 7.2. Recomendaciones

1. Se le sugiere a los dueños de las especificaciones definir un proceso de retroalimentación en las especificaciones actuales que permita realizar seguimiento a las acciones realizadas y se pueda entender el impacto en el negocio.
2. Para el área de DPM definir una especificación de las diferentes acciones requeridas según el modo de falla detectado aun si no es sistemático.
3. Se le sugiere a los analistas del modelo “DPMBucketer” impartir un entrenamiento a la población de ingenieros, principalmente del proceso de manufactura, para sacarle mayor provecho a los recursos de la herramienta, proliferar su uso más allá del equipo de DPM y poder predecir defectos sistemáticos anticipadamente.
4. Se le sugiere a los analistas de IA trabajar junto a IT para formalizar las escalaciones a través de un sistema de tiquetes para mejorar la trazabilidad de la resolución.
5. Para fomentar el compromiso de la ejecución de la metodología propuesta se le sugiere al área de DPM crear una especificación interna basada en este documento.
6. Se le sugiere al Ingeniero del área DPM definir una especificación con los criterios necesarios para abrir un evento de calidad cuando se detecta una señal del modelo IA.
7. Se le recomienda al Ingeniero del área de Class formalizar la documentación de las acciones correctivas, preventivas y los datos generados por el modelo de IA bajo un evento de calidad para alinearse con los requerimientos de la norma ISO 9001.
8. Se le recomienda al Ingeniero de Class/Fab incorporar un especialista financiero que asesore y depure los beneficios económicos que proporciona el proyecto, pues es difícil de estimar con precisión según los datos obtenidos de cada caso.
9. Se sugiere al Ingeniero de DPM realizar una estimación de los costos/beneficios de los casos que usen esta metodología al menos una vez al año y utilizar estos insumos de base para los siguientes casos.
10. Se le sugiere a los Ingenieros de DPM/Class/Fab realizar una revisión integral de los instrumentos metodológicos utilizados en este proyecto para simplificarlos con un enfoque hacia “*generar valor al negocio*” sin deteriorar el control interno.

## 8. Análisis retrospectivo

Este capítulo presenta un análisis ejecutivo de lo que significó la realización del proyecto, el grado de cumplimiento del plan de trabajo inicial, principalmente el cumplimiento de objetivos y las justificaciones de las eventuales desviaciones.

El plan de trabajo del proyecto se cumplió en su totalidad, por lo que a continuación se comparte la perspectiva del investigador en cada uno de los cinco objetivos específicos desarrollados en el proyecto.

### 8.1. Determinar mediante investigación el riesgo de las áreas involucradas en el desarrollo del procesador

La revisión de los FMEA fue fundamental para determinar los riesgos de cada una de las áreas impactadas, pues describe el medio de detección, síntoma del defecto y el nivel de riesgo. No obstante, la determinación del riesgo fue complementado con la retroalimentación de las entrevistas.

En resumen, la mayoría de las áreas presentan modos de fallas similares con puntos de detección en áreas de pruebas (Sort, Class), mientras que cualquier daño termo-mecánico debería ser capturado por los procesos de inspección visual que se realizan antes del empaque y traslado a bodega.

No obstante, el área de DPM no tiene un FMEA definido, provocando que muchas acciones se realicen sin respaldo de alguna especificación.

Modo de falla	Descripción	Efecto	Método de detección	Riesgo para DPM	Comentario
Funcional	Defecto funcional del procesador	Fallos del 20 al 65	Sort,Class	Alto	Defectos no necesariamente se podrían capturar en Sort/Class/PPV
Open	Defecto eléctrico causado por el proceso	Muchos fallos del tipo 10,99	Sort,Class	Medio,Alto	Defectos no necesariamente se podrían capturar en Sort/Class/PPV
Short	Defecto eléctrico causado por el proceso	Muchos fallos del tipo 15,99	Sort,Class	Medio,Alto	Defectos no necesariamente se podrían capturar en Sort/Class/PPV
Termo	Daño en los diodos de temperatura	Muchos fallos del tipo 97	Sort,Class	Medio	Defectos no necesariamente se podrían capturar en Sort/Class/PPV

## 8.2. Identificar mediante investigación los modos de fallas detectados por el actual modelo de IA

La revisión de literatura existente sobre el modelo no fue tan determinante tal como fueron las entrevistas con los analistas del modelo de IA y los encargados del área de DPM.

Se encontró que el modelo de “DPMBucketter” tiene dos funciones principales: el primero es clasificar los defectos de los procesadores y el segundo detectar señales anormales en alguna área del proceso de manufactura. La primera función se ejecuta semanalmente por el encargado del DPM, mientras que la segunda solo se ejecuta por el analista ante alguna solicitud externa. Dado que este modo de trabajo no se encuentra formalmente documentado, ocasionó cierta confusión al inicio de la investigación. No obstante, a partir de la retroalimentación recibida, fue posible elaborar la propuesta del marco de trabajo.

## 8.3. Realizar mediante investigación un diagnóstico sobre las acciones que se están realizando actualmente con la información generada por el modelo de IA

Para este apartado se realizó la revisión de las especificaciones existentes. Con ello se determinó que la compañía tiene estandarizados algunos procedimientos especialmente cuando las alarmas son detectadas en tiempo real en alguna área de prueba.

Por otro lado, es escasa o nula la documentación existente sobre los modos de trabajo existentes con el modelo de IA, por lo que se utilizaron entrevistas y grupos focales para determinar las acciones actuales que se realizan cuando se detecta alguna señal del

modelo. Las respuestas no mostraron sorpresas, pues se detectó confusión acerca de las acciones a seguir, uso de especificaciones actuales e incertidumbre de los roles y responsabilidades.

#### 8.4. Elaborar un marco de trabajo específico para el proceso

De la investigación realizada, se definió un marco de trabajo que permita estandarizar los procedimientos que se deben realizar según las señales detectadas por el modelo.

La propuesta para la ejecución del marco de trabajo se divide en cuatro fases descritas en CAPITULO V. Solución Propuesta

- Validación
- Análisis
- Disposición
- Retrospectiva

#### 8.5. Evaluar la eficiencia del marco de trabajo mediante la ejecución de un plan piloto que permita valorar su factibilidad.

La duración de todo el piloto fue de aproximadamente 5 semanas (~20 días) el cual permitió observar una reducción de 14 a 9.5 días en la duración promedio de una investigación de señal anormal. Mas allá de los beneficios económicos que implica la reducción de la cantidad de horas invertidas en las investigaciones, es de vital importancia que los ingenieros puedan enfocarse en el análisis e investigación de las señales y no perder tiempo innecesario en el intercambio de correos buscando responsables de las áreas y consultando acerca de los flujos de disposición.

Los resultados de la investigación muestran la combinación de dos pilares fundamentales:

- La ejecución del marco de trabajo propuesto
- El proceso de un evento de calidad

El marco contiene diferentes flujos de disposición frecuentemente utilizados en la definición de acciones para un evento de calidad, pero que quizás no se encuentran estandarizadas, por lo que incluso representa una documentación de respaldo valiosa para eventos no relacionados a las investigaciones que se realicen por medio de esta metodología.

## 8.6. Análisis Prospectivo

- Se debe formalizar la documentación de esta metodología a través de una especificación interna, de manera que pueda ser accesible a la comunidad de ingenieros.
- Crear un entrenamiento formal del marco de trabajo, de manera que la comunidad de ingenieros de servidores pueda ejecutar correctamente los procesos definidos.
- Los flujos de disposición propuestas están limitados a servidores por lo que otras plataformas tales como Desktop están fuera del alcance de esta propuesta, por lo tanto, es conveniente compartir este marco a otros segmentos de manera que se pueda tomar como punto de partida para robustecer su contenido.

## 9. Bibliografía

7. Heaton, N. (2014). *Maximizing Verification Effectiveness Using MDV*. Cadence Design Systems
8. Truong y Hellström. (2018). *Clustering and Classification of UVM Test Failures Using Machine Learning Techniques in Proceedings of the design and verification conference and exhibition*. Europe (DVCon). München, Germany
9. Orenca y Manonellas. (s.f.). *El computador*. Universitat Oberta de Catalunya. [http://cv.uoc.edu/annotation/8255a8c320f60c2bfd6c9f2ce11b2e7f/619469/PID\\_00218274/PID\\_00218274.html](http://cv.uoc.edu/annotation/8255a8c320f60c2bfd6c9f2ce11b2e7f/619469/PID_00218274/PID_00218274.html)
10. Intel. (2019). *DPM Bucketer (DPMB) Overview*.
11. <https://wiki.ith.intel.com/display/DPMBucket/DPM+Bucketer+%28DPMB%29+Overview>
12. Intel. (s.f.). *Modelado de IA: impulso de la inteligencia en los análisis*.
13. <https://www.intel.es/content/www/es/es/analytics/data-modeling.html>
14. Cordero, D. (2016). *Marcos de trabajo para las tecnologías de la información y relacionados, de aplicabilidad en el ámbito organizacional*. Revista Científica y Tecnológica UPSE. 3. 166. 10.26423/rctu.v3i1.85. [https://www.researchgate.net/publication/318121667\\_Marcos\\_de\\_trabajo\\_para\\_las\\_tecnologias\\_de\\_la\\_informacion\\_y\\_relacionados\\_de\\_aplicabilidad\\_en\\_elambito\\_organizacional](https://www.researchgate.net/publication/318121667_Marcos_de_trabajo_para_las_tecnologias_de_la_informacion_y_relacionados_de_aplicabilidad_en_elambito_organizacional)
15. Rogers, P. (2016). *Heterogeneous System Architecture*.
16. <https://www.sciencedirect.com/topics/computer-science/specification-document#:~:text=A%20product%20specification%20document%2C%20often,the%20program%20and%20user%20documents>
17. Intel. (2011). *Making of a Chip Illustrations*.
18. [https://download.intel.com/newsroom/kits/chipmaking/pdfs/Sand-to-Silicon\\_22nm-Version.pdf](https://download.intel.com/newsroom/kits/chipmaking/pdfs/Sand-to-Silicon_22nm-Version.pdf)
19. Ponce, Torres et al. (2014). *Inteligencia Artificial*. 10.13140/2.1.3720.0960. [https://www.researchgate.net/publication/269466259\\_Inteligencia\\_Artificial#:~:text=Actualmente%20la%20Inteligencia%20Artificial%20es,y%20como%20trabaja%20el%20cerebro](https://www.researchgate.net/publication/269466259_Inteligencia_Artificial#:~:text=Actualmente%20la%20Inteligencia%20Artificial%20es,y%20como%20trabaja%20el%20cerebro)
20. Fogel, D. (1995). *Evolutionary Computation*. IEEE Press. Estados Unidos

21. Grassmann y Tremblay. (1997). *Matemática discreta y lógica. Una perspectiva desde la ciencia de la computación*. Prentice Hall. México
22. Luger y Stubblefield. (1989). *Artificial Intelligence and the Design of Expert Systems*. The Benjamin/Cummings Publishing Company, Inc. Estados Unidos
23. Poli, R. (1996). *Introduction to evolutionary computation*.  
[http://www.cs.bham.ac.uk/~rmp/slide\\_book/slide\\_book.html](http://www.cs.bham.ac.uk/~rmp/slide_book/slide_book.html). Inglaterra
24. Russell y Norving. (1996). *Inteligencia artificial: Un enfoque moderno*. Prentice Hall. México
25. Urbaczewski y Mrdalj. (2006). *A Comparasion of Enterprise Architecture Frameworks*. Issues in Information Systems, pp. 18-23
26. Borsalli, B. (2021). *FMEA: Qué es y cómo implementarlo en su empresa*.  
<https://blog.softexpert.com/es/fmea-que-es/#:~:text=%C2%BFQu%C3%A9%20significa%20FMEA%3F,%2C%20proceso%2C%20producto%20o%20servicio>.
27. ISO 9000. (2015). *Sistemas de gestión de la calidad*.  
<https://www.iso.org/obp/ui/#iso:std:iso:9001:ed-5:v1:es>
28. Levy y Ellis. (2006). *A systems approach to conduct an effective literature review in support of information systems research*. Informing Science: International Journal of an Emerging Transdiscipline, 9(1), 181-212.
29. Morone, G. (2013). *Métodos y técnicas de la investigación científica*. Pontificia Universidad Católica de Valparaíso.
30. Blasco y Pérez. (2007). *Metodologías de investigación en las ciencias de la actividad física y el deporte: ampliando horizontes*.  
<https://rua.ua.es/dspace/bitstream/10045/12270/1/blasco.pdf>

## 10. Anexos

### 10.1. Guía de entrevista

1. ¿Qué función tiene su área dentro del proceso? (diseño, fabricación, prueba, etc)
2. ¿Cuáles son los roles involucrados en su área? (Ingenieros, operarios, técnicos, etc)
3. ¿Cuál es la principal función de cada rol?
4. ¿Sabe de la existencia de un modelo de IA para predecir defectos tempranos en el procesador? (Si/No)
5. Si (4): ¿Han recibido escalaciones relacionadas a las alarmas del modelo? (Si/No)

6. Si (5): ¿Quiénes recibieron las escalaciones? (Especifique rol)
7. Si (5): ¿Quiénes realizaron las escalaciones? (Especifique rol)
8. Si (5): ¿Cómo les realizaron la escalación? (Herramienta, correo, llamada, etc)
9. Si (5): ¿Qué tipos de señales fueron escaladas? (comunalidad a máquina, etc)
10. Si (5): ¿Qué acciones inmediatas se realizaron? (Se revisó máquina, ninguna)
11. Si (5): ¿Fueron señales válidas? (Si/No)
12. Si (5): ¿Considera que se puede mejorar ese proceso de escalación? Explique
13. ¿Quiénes deberían recibir esas señales de escalaciones? (Especifique rol)
14. ¿Cómo considera que se deberían recibir esas señales de escalaciones? (Herramienta, correo, llamada, etc)
15. ¿Qué acciones inmediatas se deberían realizar una vez recibida la escalación? Especifique el tiempo de respuesta para ejecutar las primeras acciones

## 10.2. Guía de focus group con Analistas de IA

1. ¿Qué funciones tienen su rol? (programadores, analistas, escalaciones, etc)
2. ¿Cuánto tiempo tiene el modelo de IA de existir?
3. ¿Cuántas señales ha detectado el modelo en el último año?
4. ¿Se han escalado esas señales a las áreas respectivas? (Si/No)
5. Si (4). ¿Cómo se han escalado esas señales? (Herramienta, correo, llamada, etc)
6. Si (4). ¿Saben si el área afectada ha validado esas señales? (Si/No)
7. Si (4). ¿Han recibido retroalimentación sobre las escalaciones realizadas? (Si/No)
8. ¿Consideran que se debe mejorar ese proceso de escalación? Explique
9. ¿Se realizan acciones de seguimiento con el área afectada?
10. ¿Se han detectado señales repetidas después de una escalación? (Si/No)
11. Si (10) ¿Qué tipo de respuesta del área han tenido ante esas señales repetidas?
12. ¿Cuáles tipos de señales han detectado con el modelo?
13. ¿Cómo identifican el área afectada de la señal?
14. ¿Cuál es la eficiencia real del modelo? (Señales detectadas vrs validas por el área)